

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196461

(43)Date of publication of application : 19.07.2001

(51)Int.Cl.

H01L 21/8234

H01L 27/088

H01L 27/04

H01L 21/822

H01L 27/10

H01L 27/108

H01L 21/8242

H01L 29/43

H01L 29/78

(21)Application number : 2000-002531

(71)Applicant : SONY CORP

(22)Date of filing : 11.01.2000

(72)Inventor : NAGANO TAKASHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

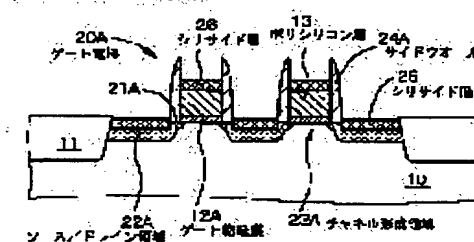
PROBLEM TO BE SOLVED: To provide an integrated circuit for reducing the parasitic resistance of a CMOS transistor for composing a logic circuit to mixedly mount a large-capacity DRAM and the logic circuit.

SOLUTION: This semiconductor device consists of a plurality of first transistors being formed at the first region (for example, a logic circuit region) of a semiconductor layer 10, and a plurality of second transistors being formed at the second region of the semiconductor layer 10. Each of the first and second transistors consists of gate electrodes 20A and 20B, channel formation regions 23A and 23B, and source/drain regions 22A and 22B, and the height of the gate electrode 20A in the first transistor is lower than that of the gate electrode 20B in the second transistor.

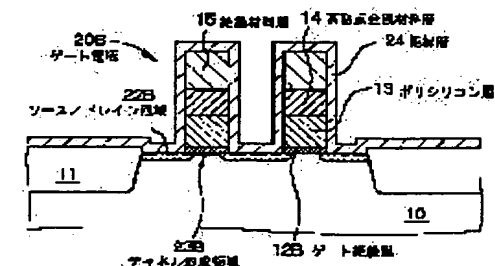
【図12】

【工程180】 構造

(A) 論理回路の形成



(B) DRAMの形成



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Japanese Publication for Unexamined Patent Application

No. 196461/2001 (Tokukai 2001-196461)

A. Relevance of the Above-identified Document

This document has relevance to claims 1 and 14 of the present application.

B. Translation of the Relevant Passages of the Document

[0046]

Fig. 12 is a schematic fragmentary cross-sectional view illustrating a semiconductor device of the first embodiment. This semiconductor device includes a plurality of first transistors and a plurality of second transistors. The first transistors are provided in a first region of a semiconductor substrate 10, which is a semiconductor layer. The second transistors are provided in a second region of the semiconductor substrate 10. The first transistors constitute a logic circuit, and the second transistors constitute a dynamic random access memory (more specifically, DRAM memory transistors). The first transistors are n-channel type transistors and p-channel type transistors. The second transistors are n-channel type transistors. That is, in the first region, there are provided (i) a plurality of n-channel type first transistors,

which constitute a logic circuit, and (ii) a plurality of p-channel type second transistors, and, in the second region, there are provided a plurality of n-channel type transistors, which constitute a DRAM.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-196461

(P2001-196461A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト (参考)

H 0 1 L 21/8234
27/088
27/04
21/822
27/10

4 6 1

H 0 1 L 27/10
27/08
27/04
27/10
29/62

4 6 1 4 M 1 0 4
1 0 2 C 5 F 0 3 8
U 5 F 0 4 0
6 8 1 F 5 F 0 4 8
G 5 F 0 8 3

審査請求 未請求 請求項の数 8 O L (全 29 頁) 最終頁に続く

(21) 出願番号 特願2000-2531 (P2000-2531)

(22) 出願日 平成12年1月11日 (2000.1.11)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 永野 隆史

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094363

弁理士 山本 孝久

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

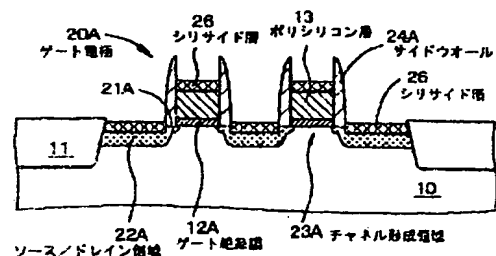
【課題】 大容量のDRAMと論理回路を1チップに混載するために、論理回路を構成するCMOSトランジスタの寄生抵抗を低減し得る集積回路を提供する。

【解決手段】 本発明の半導体装置は、半導体層10の第1の領域（例えば、論理回路の領域）に形成された複数の第1のトランジスタ、及び、該半導体層10の第2の領域（例えば、DRAMの領域）に形成された複数の第2のトランジスタから構成された半導体装置であって、第1及び第2のトランジスタのそれぞれは、ゲート電極20A、20B、チャネル形成領域23A、23B、及び、ソース/ドレイン領域22A、22Bから成り、第1のトランジスタにおけるゲート電極20Aの高さは、第2のトランジスタにおけるゲート電極20Bの高さよりも低い。

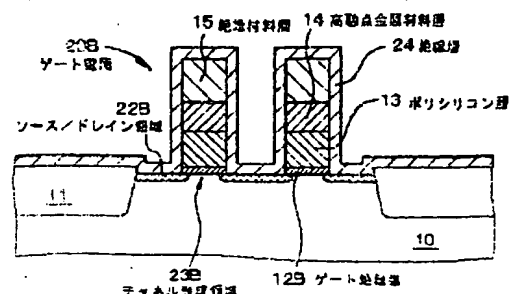
【図12】

【工程-180】 続き

(A) 論理回路の領域



(B) DRAMの領域



(2)

【特許請求の範囲】

【請求項1】半導体層の第1の領域に形成された複数の第1のトランジスタ、及び、該半導体層の第2の領域に形成された複数の第2のトランジスタから構成された半導体装置であって、

第1及び第2のトランジスタのそれぞれは、ゲート電極、チャンネル形成領域、及び、ソース/ドレイン領域から成り、

第1のトランジスタにおけるゲート電極の高さは、第2のトランジスタにおけるゲート電極の高さよりも低いことを特徴とする半導体装置。

【請求項2】第1のトランジスタから論理回路が構成され、第2のトランジスタからダイナミック・ランダム・アクセス・メモリが構成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】第1のトランジスタのソース/ドレイン領域には、シリサイド層が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】第1のトランジスタにおけるゲート電極は、多結晶又は非晶質のシリコン層、及び、該シリコン層上に形成されたシリサイド層の2層構造であり、第2のトランジスタにおけるゲート電極は、少なくとも、多結晶又は非晶質のシリコン層、該シリコン層上に形成された高融点金属材料層、及び、該高融点金属材料層上に形成された絶縁材料層の3層構造であることを特徴とする請求項1に記載の半導体装置。

【請求項5】半導体層の第1の領域に形成された複数の第1のトランジスタ、及び、該半導体層の第2の領域に形成された複数の第2のトランジスタから構成され、第1及び第2のトランジスタのそれぞれは、ゲート電極、チャンネル形成領域、及び、ソース/ドレイン領域から成る半導体装置における第1のトランジスタの製造方法であって、

(A) 半導体層の表面にゲート絶縁膜を形成した後、多結晶又は非晶質のシリコン層を形成し、次いで、該シリコン層上にキャップ層を形成した後、キャップ層及びシリコン層をパターンニングする工程と、

(B) パターンニングされたシリコン層及びキャップ層から成る積層体の側壁にサイドウォールを形成する工程と、

(C) キャップ層を除去する工程と、

(D) シリコン層及び半導体層に不純物を導入することによって、パターンニングされたシリコン層から成るゲート電極を形成し、併せて、半導体層にソース/ドレイン領域を形成する工程と、

(E) ソース/ドレイン領域を構成する半導体層の部分、及び、ゲート電極を構成するシリコン層の表面に、シリサイド層を形成する工程、を具備することを特徴とする半導体装置の製造方法。

【請求項6】半導体層の第1の領域に形成された複数の

2

第1のトランジスタ、及び、該半導体層の第2の領域に形成された複数の第2のトランジスタから構成され、第1及び第2のトランジスタのそれぞれは、ゲート電極、チャンネル形成領域、及び、ソース/ドレイン領域から成る半導体装置の製造方法であって、

(A) 半導体層の表面にゲート絶縁膜を形成した後、多結晶又は非晶質のシリコン層を形成し、次いで、少なくとも、第2のトランジスタを形成すべき領域のシリコン層に不純物を導入する工程と、

(B) 該シリコン層上に、高融点金属材料層及び絶縁材料層を順次積層した後、第1のトランジスタを形成すべき領域の絶縁材料層及び高融点金属材料層を除去する工程と、

(C) 全面にキャップ層を形成した後、第2のトランジスタを形成すべき領域のキャップ層を除去する工程と、

(D) 絶縁材料層、高融点金属材料層及びシリコン層をパターンニングすることによって第2のトランジスタを構成するゲート電極を形成し、併せて、キャップ層及びシリコン層をパターンニングする工程と、

(E) 第2のトランジスタを形成すべき領域の半導体層に不純物を導入することによって、第2のトランジスタを構成するソース/ドレイン領域を形成する工程と、

(F) 第2のトランジスタを形成すべき領域を絶縁層で被覆し、併せて、パターンニングされたシリコン層及びキャップ層から成る積層体の側壁にサイドウォールを形成する工程と、

(G) キャップ層を除去する工程と、

(H) 第1のトランジスタを形成すべき領域の半導体層及びシリコン層に不純物を導入することによって、第1のトランジスタを構成するソース/ドレイン領域及びゲート電極を形成する工程と、

(I) 第1のトランジスタのソース/ドレイン領域を構成する半導体層の部分、及び、第1のトランジスタのゲート電極を構成するシリコン層の表面に、シリサイド層を形成する工程、から成ることを特徴とする半導体装置の製造方法。

【請求項7】半導体層の第1の領域に形成された複数の第1のトランジスタ、及び、該半導体層の第2の領域に形成された複数の第2のトランジスタから構成され、第1及び第2のトランジスタのそれぞれは、ゲート電極、チャンネル形成領域、及び、ソース/ドレイン領域から成る半導体装置の製造方法であって、

(A) 半導体層の表面にゲート絶縁膜を形成した後、多結晶又は非晶質のシリコン層を形成し、次いで、少なくとも、第2のトランジスタを形成すべき領域のシリコン層に不純物を導入する工程と、

(B) 該シリコン層上に、高融点金属材料層及び絶縁材料層を順次積層した後、第1のトランジスタを形成すべき領域の絶縁材料層及び高融点金属材料層を除去する工程と、

(3)

3

(C) 絶縁材料層、高融点金属材料層及びシリコン層をパターンニングすることによって第2のトランジスタを構成するゲート電極を形成し、併せて、シリコン層をパターンニングする工程と、

(D) 第2のトランジスタを形成すべき領域の半導体層に不純物を導入することによって、第2のトランジスタを構成するソース/ドレイン領域を形成する工程と、

(E) 第2のトランジスタを形成すべき領域を絶縁層で被覆し、併せて、パターンニングされたシリコン層の側壁にサイドウォールを形成する工程と、

(F) 第1のトランジスタを形成すべき領域の半導体層及びシリコン層に不純物を導入することによって、第1のトランジスタを構成するソース/ドレイン領域及びゲート電極を形成する工程と、

(G) 第1のトランジスタのソース/ドレイン領域を構成する半導体層の部分、及び、第1のトランジスタのゲート電極を構成するシリコン層の表面に、シリサイド層を形成する工程、から成ることを特徴とする半導体装置の製造方法。

【請求項8】第1のトランジスタから論理回路が構成され、第2のトランジスタからダイナミック・ランダム・アクセス・メモリが構成されていることを特徴とする請求項5乃至請求項7のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】グラフィック用LSIにおいて、高解像度の画像をリアルタイムで生成するためには、ビデオ・メモリと、最終的に表示するデータを生成するピクセル・エンジン（論理回路によって構成される）とのバンド幅（バス幅）を大きくすることが必要であるが、これは大容量のメモリを混載したロジックLSIによって実現される（例えば、日経マイクロデバイス、1999年4月号第138頁参照）。特に、混載するメモリとしてダイナミック・ランダム・アクセス・メモリ（DRAM）を用いることは、メモリの大容量化に有利である。

【0003】また、トランジスタの低消費電力化、高速化を達成するために、サリサイド（Self-Aligned Silicide）技術、及び、デュアルゲート（Dual Gate、Dual WorkFunction Gate あるいは、表面チャネル型CMOS FETとも呼ばれる）技術が、屢々、採用されている。

【0004】ここでサリサイド技術とは、ソース/ドレイン領域及びゲート電極の頂面に自己整合的にシリサイド層を形成する技術を指す。具体的には、半導体基板上にポリシリコンから成るゲート電極を形成し、次いで、シリコン半導体基板にソース/ドレイン領域を形成した後、全面に高融点金属層を形成し、熱処理を施すことに

4

よって、高融点金属層を構成する金属原子と半導体基板及びゲート電極を構成する原子（具体的には、Si）とを反応させてシリサイド層を形成し、その後、未反応の高融点金属層を除去する技術である。

【0005】また、デュアルゲート技術とは、nチャネル型MOSトランジスタのゲート電極をn型不純物を含有するポリシリコン層から構成し、pチャネル型MOSトランジスタのゲート電極をp型不純物を含有するポリシリコン層から構成することによって、どちらのMOSトランジスタにおいても表面型チャネルを形成する技術である。

【0006】DRAMを構成するMOSトランジスタ（以下、DRAMメモリトランジスタと呼ぶ場合がある）のゲート電極間のスペースは、デザインルール上、最小に近い値で設計される。そして、ソース/ドレイン領域にコンタクトプラグを形成する場合、一般に、コンタクトプラグを自己整合的に形成する技術が用いられている。このような技術は、セルフ・アライン・コンタクト（SAC）技術と呼ばれている。ところで、SAC技術を適用するためには、ゲート電極を、例えば、導電材料層と、窒化シリコン（SiN）から成るオフセット膜とも呼ばれる絶縁材料層との多層構造にする必要がある。また、ゲート電極とコンタクトプラグとの間の距離を確保するために、ゲート電極の側壁に窒化シリコン（SiN）から成るサイドウォールを設ける必要がある。コンタクトプラグは、具体的には、DRAMメモリトランジスタを作製した後、全面に酸化シリコン（SiO₂）から成る層間絶縁層を形成し、次いで、ソース/ドレイン領域の上方に位置する層間絶縁層の部分に開口部を形成し、かかる開口部内に導電材料を埋め込むことによって形成することができる。リソグラフィ法における所謂合わせずれに起因して、たとえ開口部がゲート電極の上方にも形成されてしまったとしても、ゲート電極の頂面に酸化シリコン（SiO₂）とエッチング選択比のある窒化シリコン（SiN）から成る絶縁材料層が堆積され、しかも、サイドウォールが形成されているので、コンタクトホールとゲート電極との間に短絡が発生するといった現象の発生を防止することができる。

【0007】ところで、大容量のDRAMと論理回路を混載するには、技術的に困難な問題が生じている。即ち、素子を微細化して大容量のDRAMを形成するためには、配線遅延を増大させてはならず、そのためには、低抵抗のワード線材料が必要とされる。また、ワード線は、DRAMメモリトランジスタのゲート電極も兼ねているので、1000°C程度の耐熱性を有することが要求される。更には、DRAMメモリトランジスタの特性を低下させないゲート電極であることも要求される。これらの要求から、0.13μm世代のDRAMメモリトランジスタにおけるワード線及びゲート電極の材料として、ポリシリコン層上にタングステン（W）から成る高

(4)

5

融点金属材料層を積層したポリメタル構造が有望視されている。しかしながら、このようなポリメタル構造をCMOSトランジスタから構成される論理回路に適用した場合、pチャネル型MOSトランジスタの電流駆動能力に問題が生じる。

【0008】即ち、pチャネル型MOSトランジスタのゲート電極には、p型不純物であるボロンを高濃度に注入したポリシリコン層上に、タングステンから成る高融点金属材料層を積層したポリメタル構造が用いられる。しかしながら、このようなポリメタル構造に対して、MOSトランジスタ作製に不可欠な熱処理を行うと、ポリシリコン層中のボロンがシリコン半導体基板中あるいは高融点金属材料層中に拡散してしまい、ポリシリコン層中のボロン濃度が低下する。このようなボロン濃度の低下は、ゲート電極へのゲート電圧印加時の寄生ゲート容量の増大を招き、実効的なゲート絶縁膜容量を低減させる。その結果、ゲート電圧印加時に誘起されるチャネルキャリア密度を低下させ、pチャネル型MOSトランジスタの電流駆動能力を低下させてしまう。

【0009】また、n型不純物を含有したポリシリコン層とp型不純物を含有したポリシリコン層のエッチングレートが異なるので、所望の形状を有するnチャネル型MOSトランジスタのためのゲート電極と、所望の形状を有するpチャネル型MOSトランジスタのためのゲート電極を同時に形成することは困難であるし、ゲート絶縁膜は薄くなる一方であり、ゲート電極の形成のためのエッチング時、半導体基板に損傷が発生する虞がある。

【0010】以下、従来の半導体装置の製造工程の概要を、シリコン半導体基板等の模式的な一部断面図である図26～図33を参照して説明する。尚、以下の説明においては、第1のトランジスタから論理回路が構成され、第2のトランジスタからDRAM（より具体的には、DRAMメモリトランジスタ）が構成されるとする。また、第1のトランジスタは、nチャネル型トランジスタ及びpチャネル型トランジスタであり、第2のトランジスタは、nチャネル型トランジスタであるとする。各図の(A)は、pチャネル型の第1のトランジスタの製造工程を示し、各図の(B)は、nチャネル型の第2のトランジスタの製造工程を示す。

【0011】[工程-10] 先ず、素子分離領域11を形成したシリコン半導体基板から成る半導体基板10上に、ゲート絶縁膜12A、12Bを形成し、ゲート絶縁膜12A、12B上にゲート電極形成のためのポリシリコン層13を堆積する。次いで、ポリシリコン層13中に、ゲート電極の仕事関数を制御するための不純物を導入する（図26参照）。具体的には、nチャネル型の第1のトランジスタ及びnチャネル型の第2のトランジスタを形成すべき領域のポリシリコン層には、n型不純物であるリンをイオン注入する。一方、pチャネル型の第1のトランジスタを形成すべき領域のポリシリコン層に

6

は、p型不純物であるボロンをイオン注入する。その後、ゲート電極の低抵抗化のためにタングステンから成る高融点金属材料層14を全面に形成し、更に、ソース／ドレイン領域へのコンタクトプラグ形成時にゲート電極を保護するために、窒化シリコン（SiN）から成る絶縁材料層（オフセット膜）15を高融点金属材料層14上に形成する（図27参照）。

【0012】高融点金属材料層14及び絶縁材料層15を堆積させるので、ポリシリコン層13中への不純物の導入を、図26に示すように、高融点金属材料層14の形成前に行っておく必要がある。即ち、高融点金属材料層14及び絶縁材料層15を通してポリシリコン層13中に不純物の導入を行うことは困難であり、たとえ不純物を導入できたとしても、同時に、ポリシリコン層13の下方に位置する半導体基板10にまで不純物が導入されてしまう。しかも、このときの半導体基板10への不純物の導入量は不均一である。半導体基板10中に不純物が導入されてしまうと、トランジスタの閾値電圧 V_{th} が設計値からシフトしてしまい、しかも、このシフト量は不均一になる。その結果、トランジスタの特性が低下してしまう。以上の理由から、不純物、特にボロンを導入した後、高融点金属材料層14及び絶縁材料層15を堆積させるが、窒化シリコン（SiN）から成る絶縁材料層15の堆積は比較的高温で行われるので（700℃以上）、このとき、条件によっては、熱拡散し易いボロンが、半導体基板10や高融点金属材料層14中に拡散してしまうという問題が発生する。

【0013】[工程-20] その後、リソグラフィ法及びドライエッチング法に基づき、絶縁材料層15、高融点金属材料層14及びポリシリコン層13をパターンニングすることによって、第1のトランジスタ及び第2のトランジスタを構成するゲート電極20A、20Bを形成する（図28参照）。尚、n型不純物を含有したポリシリコン層13とp型不純物を含有したポリシリコン層13のエッチングレートが異なるので、所望の形状を有するnチャネル型トランジスタのためのゲート電極と、所望の形状を有するpチャネル型トランジスタのためのゲート電極を同時に形成することが困難となる。

【0014】[工程-30] 次に、ゲート電極20A、20Bをイオン注入用マスクとして用いて、第2のトランジスタを構成するソース／ドレイン領域22Bを形成するための不純物の導入、及び、第1のトランジスタを構成するLDD構造あるいはエクステンション領域21Aを形成するための不純物の導入を行う（図29参照）。具体的には、nチャネル型の第1のトランジスタを形成すべき領域の半導体基板10には、n型不純物であるリンをイオン注入し、nチャネル型の第2のトランジスタを形成すべき領域の半導体基板10には、n型不純物であるリンをイオン注入し、pチャネル型の第1のトランジスタを形成すべき領域の半導体基板10には、

(5)

7

p型不純物であるBF₂をイオン注入する。尚、参照番号23Bはチャネル形成領域である。

【0015】【工程-40】その後、CVD法に基づき、全面に絶縁層24を形成する。次いで、第2のトランジスタを形成すべき領域をエッチング用マスクにて保護した状態で、絶縁層24をドライエッチング（エッチバック）することによって、第1のトランジスタを構成するゲート電極20Aの側壁にサイドウォール224Aを形成した後、エッチング用マスクを除去する（図30参照）。第2のトランジスタを形成すべき領域はエッチング用マスクで保護された状態にあるので、第2のトランジスタを形成すべき領域の半導体基板10にダメージが発生することはない。また、第2のトランジスタを構成するゲート電極20Bの頂面には絶縁層24が残され、更には、ゲート電極20Bの側面にはサイドウォールとして絶縁層24が残される。サイドウォール224Aを構成する絶縁層24は、ソース/ドレイン領域へのコンタクトプラグ形成時にゲート電極を保護するために窒化シリコン（SiN）から構成することが望ましいが、窒化シリコン（SiN）から成る絶縁層24の堆積は比較的高温で行われるので（700°C以上）、やはり、ポリシリコン層13中のボロンが半導体基板10やタンダステンから成る高融点金属材料層14中に拡散してしまう虞がある。

【0016】【工程-50】次に、第1のトランジスタを構成するゲート電極20A及びサイドウォール224Aをマスクとして用いて、第1のトランジスタを形成すべき領域の半導体基板10に、ソース/ドレイン領域22Aを形成するための不純物の導入を行う（図31参照）。具体的には、nチャネル型の第1のトランジスタを形成すべき領域の半導体基板10にはn型不純物をイオン注入し、pチャネル型の第1のトランジスタを形成すべき領域の半導体基板10にはp型不純物をイオン注入する。その後、導入された不純物の活性化熱処理を行う。このときの熱処理は、1000°C程度のRTA（Rapid Thermal Annealing）法にて行う。尚、参照番号23Aはチャネル形成領域である。

【0017】【工程-60】続いて、全面に高融点金属層25を堆積させ（図32）、サリサイド技術に基づき、第1のトランジスタを構成するソース/ドレイン領域22A上のみに、シリサイド層26を形成する。（図33参照）。

【0018】【工程-70】以降、公知の方法に基づき、各種の配線やDRAMを構成するキャパシタ部を形成することによって、半導体装置を完成させる。

【0019】尚、大容量のDRAMと論理回路が混載された集積回路において、どちらのゲート電極をもサリサイド技術を用いてポリシリコン層とシリサイド層の2層構造とした場合、以下の問題が生じる。即ち、即ち、DRAMメモリトランジスタのノード側のソース/ドレ

8

ン領域とシリサイド層との間に生じる接合に起因したリーク電流によって、データ保持特性が低下する。また、一般に、0.25μm世代のDRAMにおいては256個のDRAMメモリトランジスタが、0.18μm世代のDRAMにおいては512個のDRAMメモリトランジスタが、1本のビット線に接続されるが、ビット線側のソース/ドレイン領域とシリサイド層との間に生じる接合に起因したリーク電流の総和としてのビット線へのリーク電流の増加によって、ビット線を通る信号の振幅低下による低電圧マージンの低下や減少、データ保持特性（例えば、リフレッシュ特性）の低下が生じる。

【0020】

【発明が解決しようとする課題】論理回路においては、寄生抵抗の低減のために、第1のトランジスタを構成するソース/ドレイン領域22Aにシリサイド層26を形成する必要がある。ところで、シリサイド層26のシート抵抗は、堆積させる高融点金属層25の厚さで決まり、厚さを厚くした方がシート抵抗は低くなる。一方、ゲート電極20Aとゲート電極20Aとの間のソース/ドレイン領域22A上に堆積させ得る高融点金属層25の厚さは、ゲート電極20Aとゲート電極20Aとの間の間隔と、ゲート電極20Aの高さとして決まるアスペクト比（ゲート電極の高さ/ゲート電極の間隔）によって決定される。つまり、アスペクト比の大きい領域の高融点金属層25の堆積厚さは、アスペクト比の小さい領域に比べて薄くなってしまい（図32の参照番号25'を参照）、その結果、得られるシリサイド層26の厚さも薄くなる（図33の参照番号26'を参照）。堆積させるべき高融点金属層25の厚さの上限（アスペクト比の小さい領域に形成される高融点金属層25の厚さ）は、ソース/ドレイン領域22Aの接合リークを増加させない厚さに基づき決定されるので、アスペクト比の大きい領域のシリサイド層26のシート抵抗は、無視できないまでに増加してしまう。尚、形成されるシリサイド層26の厚さは、堆積した高融点金属層25の厚さに比例する。そして、ソース/ドレイン領域22Aのシート抵抗は、形成したシリサイド層26の厚さに反比例する。一方、高融点金属層25の厚さを厚くすると、形成されるシリサイド層26の厚さも厚くなり、ソース/ドレイン領域22Aの接合リークが増大する。従って、ソース/ドレイン領域22Aのシート抵抗と、ソース/ドレイン領域22Aの接合リークとを考慮した上で、シリサイド層26の厚さを決定する。

【0021】従来の技術にあつては、【工程-60】において、第1のトランジスタを構成するゲート電極20Aも、第2のトランジスタと略同じく、ポリシリコン層13、高融点金属材料層14及び絶縁材料層15が積層された構造である。それ故、第1のトランジスタを構成するゲート電極20Aの高さが高い構造となっている。それ故、第1のトランジスタが複数形成された論理回路

9

においては、第1のトランジスタを構成するゲート電極20Aとゲート電極20Aとの間の間隔の小さい領域は、[工程-60]において高融点金属層25を堆積させる際、アスペクト比の大きい構造となっている。その結果、ゲート電極20Aとゲート電極20Aとの間の間隔の小さい領域に堆積される高融点金属層25の厚さは、間隔の大きい領域に比べて薄くなってしまふ(図32の参照番号25'を参照)。

【0022】従って、本発明の目的は、例えば、大容量のDRAMと論理回路を1チップに混載するために、DRAMメモリトランジスタのゲート電極(ワード線)の低抵抗化を図り、しかも、CMOSTランジスタから構成された論理回路の特にpチャネル型MOSトランジスタの電流駆動能力の低下を回避することができ、更には、論理回路を構成するCMOSTランジスタの寄生抵抗を低減し得る集積回路、及びその製造方法を提供することを目的とする。

【0023】

【課題を解決するための手段】上記の目的を達成するための本発明の半導体装置は、半導体層の第1の領域に形成された複数の第1のトランジスタ、及び、該半導体層の第2の領域に形成された複数の第2のトランジスタから構成された半導体装置であって、第1及び第2のトランジスタのそれぞれは、ゲート電極、チャネル形成領域、及び、ソース/ドレイン領域から成り、第1のトランジスタにおけるゲート電極の高さは、第2のトランジスタにおけるゲート電極の高さよりも低いことを特徴とする。

【0024】尚、ゲート電極は、1層あるいは2層以上の導電材料層のみから構成されている場合もあるし、1層あるいは2層以上の導電材料層と1層あるいは2層以上の絶縁材料層から構成されている場合もある。ゲート電極の高さとは、ゲート電極が1層の導電材料層から構成されている場合には、1層の導電材料層の厚さ、2層以上の導電材料層から構成されている場合には、2層以上の導電材料層の合計厚さ、1層あるいは2層以上の導電材料層と1層あるいは2層以上の絶縁材料層から構成されている場合には、これらの導電材料層と絶縁材料層の合計厚さを意味する。

【0025】上記の目的を達成するための本発明の第1の態様に係る半導体装置の製造方法は、本発明の半導体装置における第1のトランジスタを製造するための方法である。即ち、本発明の第1の態様に係る半導体装置の製造方法は、半導体層の第1の領域に形成された複数の第1のトランジスタ、及び、該半導体層の第2の領域に形成された複数の第2のトランジスタから構成され、第1及び第2のトランジスタのそれぞれは、ゲート電極、チャネル形成領域、及び、ソース/ドレイン領域から成る半導体装置における第1のトランジスタの製造方法であって、(A)半導体層の表面にゲート絶縁膜を形成し

(6)

10

た後、多結晶又は非晶質のシリコン層(ポリシリコン層又はアモルファスシリコン層)を形成し、次いで、該シリコン層上にキャップ層を形成した後、キャップ層及びシリコン層をパターニングする工程と、(B)パターニングされたシリコン層及びキャップ層から成る積層体の側壁にサイドウォールを形成する工程と、(C)キャップ層を除去する工程と、(D)シリコン層及び半導体層に不純物を導入することによって、パターニングされたシリコン層から成るゲート電極を形成し、併せて、半導体層にソース/ドレイン領域を形成する工程と、(E)ソース/ドレイン領域を構成する半導体層の部分、及び、ゲート電極を構成するシリコン層の表面に、シリサイド層を形成する工程、を具備することを特徴とする。

【0026】本発明の第1の態様に係る半導体装置の製造方法によって製造されるトランジスタのゲート電極は、下から、不純物が導入されたシリコン層、その上に形成されたシリサイド層の2層から構成される。

【0027】上記の目的を達成するための本発明の第2の態様に係る半導体装置の製造方法は、本発明の半導体装置を製造するための方法である。即ち、半導体層の第1の領域に形成された複数の第1のトランジスタ、及び、該半導体層の第2の領域に形成された複数の第2のトランジスタから構成され、第1及び第2のトランジスタのそれぞれは、ゲート電極、チャネル形成領域、及び、ソース/ドレイン領域から成る半導体装置の製造方法であって、(A)半導体層の表面にゲート絶縁膜を形成した後、多結晶又は非晶質のシリコン層(ポリシリコン層又はアモルファスシリコン層)を形成し、次いで、少なくとも、第2のトランジスタを形成すべき領域のシリコン層に不純物を導入する工程と、(B)該シリコン層上に、高融点金属材料層及び絶縁材料層を順次積層した後、第1のトランジスタを形成すべき領域の絶縁材料層及び高融点金属材料層を除去する工程と、(C)全面にキャップ層を形成した後、第2のトランジスタを形成すべき領域のキャップ層を除去する工程と、(D)絶縁材料層、高融点金属材料層及びシリコン層をパターニングすることによって第2のトランジスタを構成するゲート電極を形成し、併せて、キャップ層及びシリコン層をパターニングする工程と、(E)第2のトランジスタを形成すべき領域の半導体層に不純物を導入することによって、第2のトランジスタを構成するソース/ドレイン領域を形成する工程と、(F)第2のトランジスタを形成すべき領域を絶縁層で被覆し、併せて、パターニングされたシリコン層及びキャップ層から成る積層体の側壁にサイドウォールを形成する工程と、(G)キャップ層を除去する工程と、(H)第1のトランジスタを形成すべき領域の半導体層及びシリコン層に不純物を導入することによって、第1のトランジスタを構成するソース/ドレイン領域及びゲート電極を形成する工程と、(I)第1のトランジスタのソース/ドレイン領域を構成する

(7)

11

半導体層の部分、及び、第1のトランジスタのゲート電極を構成するシリコン層の表面に、シリサイド層を形成する工程、から成ることを特徴とする。

【0028】上記の目的を達成するための本発明の第3の態様に係る半導体装置の製造方法も、本発明の半導体装置を製造するための方法である。第3の態様に係る半導体装置の製造方法は、キャップ層を形成しない点が、第2の態様に係る半導体装置の製造方法と異なる。即ち、半導体層の第1の領域に形成された複数の第1のトランジスタ、及び、該半導体層の第2の領域に形成された複数の第2のトランジスタから構成され、第1及び第2のトランジスタのそれぞれは、ゲート電極、チャンネル形成領域、及び、ソース/ドレイン領域から成る半導体装置の製造方法であって、(A)半導体層の表面にゲート絶縁膜を形成した後、多結晶又は非晶質のシリコン層(ポリシリコン層又はアモルファスシリコン層)を形成し、次いで、少なくとも、第2のトランジスタを形成すべき領域のシリコン層に不純物を導入する工程と、

(B)該シリコン層上に、高融点金属材料層及び絶縁材料層を順次積層した後、第1のトランジスタを形成すべき領域の絶縁材料層及び高融点金属材料層を除去する工程と、(C)絶縁材料層、高融点金属材料層及びシリコン層をパターニングすることによって第2のトランジスタを構成するゲート電極を形成し、併せて、シリコン層をパターニングする工程と、(D)第2のトランジスタを形成すべき領域の半導体層に不純物を導入することによって、第2のトランジスタを構成するソース/ドレイン領域を形成する工程と、(E)第2のトランジスタを形成すべき領域を絶縁層で被覆し、併せて、パターニングされたシリコン層の側壁にサイドウォールを形成する工程と、(F)第1のトランジスタを形成すべき領域の半導体層及びシリコン層に不純物を導入することによって、第1のトランジスタを構成するソース/ドレイン領域及びゲート電極を形成する工程と、(G)第1のトランジスタのソース/ドレイン領域を構成する半導体層の部分、及び、第1のトランジスタのゲート電極を構成するシリコン層の表面に、シリサイド層を形成する工程、から成ることを特徴とする。

【0029】尚、本発明の第2の態様若しくは第3の態様に係る半導体装置の製造方法において、工程(A)で、「少なくとも」第2のトランジスタを形成すべき領域のシリコン層に不純物を導入するとは、導入する不純物の型に依っては(より具体的には、n型不純物を導入する場合には)、第2のトランジスタを形成すべき領域のシリコン層だけでなく、第1のトランジスタを形成すべき領域のシリコン層にも不純物を導入してもよいことを意味する。

【0030】本発明の第2の態様若しくは第3の態様に係る半導体装置の製造方法によって製造される第1のトランジスタのゲート電極は、下から、不純物が導入され

12

たシリコン層、その上に形成されたシリサイド層の2層から構成される。また、第2のトランジスタのゲート電極は、下から、不純物が導入されたシリコン層、その上に形成された高融点金属材料層、絶縁材料層、絶縁層の4層から構成される。本発明においては、第1のトランジスタのゲート電極の高さは、第2のトランジスタのゲート電極の高さよりも低い、具体的には、第1のトランジスタにおけるゲート電極と第2のトランジスタにおけるゲート電極とは、その断面構造が異なっている。

【0031】本発明の半導体装置、あるいは又、本発明の第1の態様～第3の態様に係る半導体装置の製造方法(以下、これらを総称して、単に本発明と呼ぶ場合がある)においては、第1のトランジスタから論理回路が構成され、第2のトランジスタからダイナミック・ランダム・アクセス・メモリ(DRAM)が構成されている構造とすることができる。

【0032】本発明の半導体装置においては、第1のトランジスタのソース/ドレイン領域にシリサイド層が形成されている構成とすることができる。また、第1のトランジスタにおけるゲート電極は、多結晶又は非晶質のシリコン層(ポリシリコン層又はアモルファスシリコン層)、及び、該シリコン層上に形成されたシリサイド層の2層構造(ゲート電極の高さは、シリコン層とシリサイド層の合計厚さ)であり、第2のトランジスタにおけるゲート電極は、少なくとも、多結晶又は非晶質のシリコン層(ポリシリコン層又はアモルファスシリコン層)、該シリコン層上に形成された高融点金属材料層、及び、該高融点金属材料層上に形成された絶縁材料層の3層構造(ゲート電極の高さは、シリコン層と高融点金属材料層と絶縁材料層の合計厚さ)であることが望ましい。尚、第2のトランジスタにおけるゲート電極は、シリコン層、該シリコン層上に形成された高融点金属材料層、該高融点金属材料層上に形成された絶縁材料層、該絶縁材料層上及びゲート電極の側壁に形成され絶縁層の4層構造(ゲート電極の高さは、シリコン層と高融点金属材料層と絶縁材料層と絶縁層の合計厚さ)とすることもできる。

【0033】本発明において、ゲート電極を構成する高融点金属材料層として、タングステン(W)層やタングステンシリサイド層を例示することができる。また、シリコン層と高融点金属材料層との間に、シリコン層を構成するシリコン原子と高融点金属材料層を構成する金属原子との反応を防止するために、例えば、WN、TiN、ZrN、HfNといった各種金属窒化物から成る反応防止層を形成することが好ましい。

【0034】絶縁材料層を構成する絶縁材料は、第1のトランジスタ及び第2のトランジスタを形成した後、全面に形成される層間絶縁層を構成する絶縁材料との間にエッチング選択比のある絶縁材料であることが好ましく、層間絶縁層を例えば酸化シリコン系材料から構成す

(8)

13

る場合、絶縁材料層を窒化シリコン(SiN)層から構成することが好ましい。

【0035】サイドウォールあるいは絶縁層を構成する材料は、層間絶縁層を構成する絶縁材料及び半導体層との間にエッチング選択比のある絶縁材料であることが好ましく、窒化シリコン(SiN)や、窒化シリコン(SiN)層と酸化シリコン(SiO₂)層の2層構造を例示することができる。

【0036】ゲート絶縁膜は、例えば、半導体層の表面を湿式あるいは乾式の熱酸化法にて酸化することによって形成することができる。半導体層の表面を熱酸化した後、その表面に窒化処理を施し、酸窒化シリコン(SiON)と酸化シリコン(SiO₂)の2層、あるいは窒化シリコン(SiN)と酸化シリコン(SiO₂)の2層から構成されたゲート絶縁膜としてもよい。

【0037】キャップ層を構成する材料は、サイドウォールを構成する材料及び半導体層との間にエッチング選択比のある材料から構成することが好ましく、導電材料から構成しても絶縁材料から構成してもよく、例えば、TiN、BPSG、PSG、SOG、BSG、AsS、PbSG、SbSGを挙げることができる。

【0038】シリサイド層は、全面に高融点金属層を形成した後、熱処理を施すことによって、高融点金属層を構成する金属原子と半導体層あるいはゲート電極を構成する原子(具体的には、Si)とを反応させてシリサイド層を形成し、その後、未反応の高融点金属層を除去する、シリサイド技術に基づき形成することができる。ここで、高融点金属層は、例えば、コバルト(Co)、ニッケル(Ni)、白金(Pt)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、タングステン(W)、パラジウム(Pd)から構成することができる。

【0039】本発明において、半導体層として、シリコン半導体基板、スピネル上にシリコンやSi-Ge混晶系をエピタキシャル成長させた基板、サファイヤ上にシリコンやSi-Ge混晶系をエピタキシャル成長させた基板、絶縁膜上に多結晶シリコンを熔融、再結晶させた基板を例示することができる。シリコン半導体基板としては、n型の不純物がドーブされたn型シリコン半導体基板やp型の不純物がドーブされたp型シリコン半導体基板を用いることができる。

【0040】更には、半導体層として、SOI(Semiconductor On Insulator)基板を用いることもできる。SOI基板の製造方法として、

(1) 半導体基板と支持基板とを絶縁層を介して張り合わせた後、半導体基板を裏面から研削、研磨することによって、支持基板から成る支持体と、絶縁層と、研削、研磨後の半導体基板から成る半導体層を得る、基板張り合わせ法

(2) 半導体基板上に絶縁層を形成した後、半導体基板

14

に水素イオンをイオン注入し、剥離層を半導体基板内部に形成した後、半導体基板と支持基板とを絶縁層を介して張り合わせ、次いで、熱処理を行うことによって剥離層から半導体基板を剥離(劈開)し、残された半導体基板を裏面から研削、研磨することによって、支持基板から成る支持体と、絶縁層と、研削、研磨後の半導体基板から成る半導体層を得る、スマート・カット法

(3) 半導体基板の内部に酸素イオンをイオン注入した後、熱処理を行うことによって、半導体基板の内部に絶縁層を形成し、絶縁層の下に半導体基板の一部から成る支持体を、また、絶縁層の上に半導体基板の一部から成る半導体層を、それぞれ得るSIMOX(Separation by Implanted Oxygen)法

(4) 支持体に相当する半導体基板上に形成された絶縁層上に気相又は固相で単結晶半導体層を形成することによって、半導体基板から成る支持体と、絶縁層と、単結晶半導体層から成る半導体層を得る方法

(5) 陽極酸化によって半導体基板の表面を部分的に多孔質化して絶縁層を形成することによって、絶縁層の下に半導体基板の一部から成る支持体を、また、絶縁層の上に半導体基板の一部から成る半導体層を、それぞれ得る方法を挙げることができる。ここで、半導体層の半導体装置を形成する。尚、SOI基板の説明における絶縁層は、本発明の半導体装置の製造方法における絶縁層とは異なるものである。

【0041】SOI基板を用いた場合、素子分離領域は以下の方法で形成することができる。

(a) 半導体層上にパッド酸化膜及び窒化シリコン膜を形成し、窒化シリコン膜及びパッド酸化膜をパターンニングすることによって、素子分離領域形成用のマスクを形成し、かかる素子分離領域形成用のマスクを用いて半導体層を熱酸化することで素子分離領域を形成する、所謂LOCOS法

(b) 半導体層をパターンニングすることによってトレンチを半導体層に形成した後、トレンチ内を絶縁材料で埋め込む、所謂STI(Shallow Trench Isolation)法

(c) 上記の(1)あるいは(2)の方法に基づき基板を準備する場合、予め、半導体基板にトレンチを形成し、かかるトレンチ内を絶縁層で埋め込み、次いで、全面に層間膜(例えば、SiO₂膜、SiO₂膜とポリシリコン膜の積層構造を有する膜)を形成した後、かかる半導体基板と支持基板とをこの層間膜を介して張り合わせ、半導体基板を裏面から研削、研磨することによって、支持基板から成る支持体と、絶縁層と、半導体基板から成る半導体層を得る、基板張り合わせ法とSTI法とを組合せた方法

(d) 絶縁層上の半導体層を除去することによって絶縁層を露出させることで、素子分離領域を形成するメサ(Mesa)型素子分離領域形成法

【0042】本発明の半導体装置あるいは本発明の第2

15

の態様及び第3の態様に係る半導体装置の製造方法においては、第1のトランジスタにおけるゲート電極の高さは、第2のトランジスタにおけるゲート電極の高さよりも低い。それ故、隣接する第1のトランジスタにおけるゲート電極間の距離（間隔）とゲート電極の高さとで決まるアスペクト比の値の最大値と最小値の差を小さくできるので、第1のトランジスタを構成するソース／ドレイン領域に最終的に形成されるシリサイド層の厚さの最大値と最小値の差を小さくすることができる。

【0043】また、本発明の第1の態様～第3の態様に係る半導体装置の製造方法においては、パターンニングされ、露出したシリコン層に不純物を導入することによってゲート電極を形成するので、シリコン層に導入された不純物の型（n型、p型）に依存したエッチングレートの違いによってシリコン層のパターンニングが困難になるといった問題、シリコン層に含まれた不純物が拡散してしまうといった問題の発生を回避することが可能となる。

【0044】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態（以下、実施の形態と略称する）に基づき本発明を説明する。尚、各図の（A）は、pチャネル型の第1のトランジスタの製造工程を示し、各図の（B）は、nチャネル型の第2のトランジスタの製造工程を示す。

【0045】（実施の形態1）実施の形態1は、本発明の半導体装置、本発明の第1の態様及び第2の態様に係る半導体装置の製造方法に関する。

【0046】図12に模式的な一部断面図を示す実施の形態1の半導体装置は、半導体層である半導体基板10の第1の領域に形成された複数の第1のトランジスタ、及び、半導体基板10の第2の領域に形成された複数の第2のトランジスタから構成された半導体装置である。尚、第1のトランジスタから論理回路が構成され、第2のトランジスタからダイナミック・ランダム・アクセス・メモリ（より具体的には、DRAMメモリトランジスタ）が構成されている。ここで、第1のトランジスタは、nチャネル型トランジスタ及びpチャネル型トランジスタであり、第2のトランジスタは、nチャネル型トランジスタであるとする。即ち、第1の領域には、論理回路を構成する複数のnチャネル型の第1のトランジスタ及び複数のpチャネル型の第2のトランジスタが設けられ、第2の領域には、DRAMを構成する複数のnチャネル型の第2のトランジスタが設けられている。

【0047】第1及び第2のトランジスタのそれぞれは、ゲート電極20A、20B、チャネル形成領域23A、23B、及び、ソース／ドレイン領域22A、22Bから成る。そして、第1のトランジスタにおけるゲート電極20Aの高さは、第2のトランジスタにおけるゲート電極20Bの高さよりも低い。第1のトランジスタにおけるゲート電極20Aは、不純物が導入された多結

(9)

16

晶のシリコン層（ポリシリコン層13）、及び、ポリシリコン層13上に形成されたシリサイド層26の2層構造である。一方、第2のトランジスタにおけるゲート電極20Bは、実施の形態1においては、不純物が導入された多結晶のシリコン層（ポリシリコン層13）、ポリシリコン層13上に形成されたタングステン（W）から成る高融点金属材料層14、高融点金属材料層14上に形成された絶縁材料層15、及び、絶縁材料層15上に形成された絶縁層24の4層構造である。尚、絶縁層24はゲート電極20Bの側壁を被覆している。第1のトランジスタにおけるゲート電極20Aの高さは、ポリシリコン層13とシリサイド層26の合計厚さである。また、第2のトランジスタにおけるゲート電極20Bの高さは、ポリシリコン層13と高融点金属材料層14と絶縁材料層15と絶縁層24の合計厚さである。また、第1のトランジスタのソース／ドレイン領域22Aには、シリサイド層26が形成されており、ゲート電極20Aの側壁にはサイドウォール24Aが形成されている。図において、参照番号11は素子分離領域、参照番号12A、12Bはゲート絶縁膜である。

【0048】以下、半導体基板等の模式的な一部断面図である図1～図20を参照して、実施の形態1における半導体装置の製造方法を説明する。

【0049】【工程100】先ず、半導体層であるシリコン半導体基板から成る半導体基板10の表面にゲート絶縁膜12A、12Bを形成した後、ポリシリコン層13を形成し、次いで、少なくとも、第2のトランジスタを形成すべき領域のポリシリコン層13に不純物を導入する。

【0050】具体的には、先ず、p型シリコン半導体基板から成る半導体基板10の所定の領域に素子分離領域11を形成する。素子分離領域11の構造は、図に示すようにシャロウ・トレンチ構造を有していてもよいし、LOCOS構造を有していてもよいし、シャロウ・トレンチ構造とLOCOS構造の組合せであってもよい。その後、論理回路を構成するnチャネル型の第1のトランジスタを形成すべき領域の半導体基板10にp型ウエルを、pチャネル型の第1のトランジスタを形成すべき領域の半導体基板10にn型ウエルを形成する。また、DRAMを構成するnチャネル型の第2のトランジスタを形成すべき領域の半導体基板10にn型ウエルを形成し、このn型ウエル内にp型ウエルを形成する（即ち、ソインウエル構造を形成する）。論理回路を構成する第1のトランジスタを形成すべき領域の半導体基板10と、DRAMを構成する第2のトランジスタを形成すべき領域の半導体基板10とにおける不純物プロファイルは、同じであってもよいし、異なってもよい。ウエルの形成は、例えば、イオン注入法によって行うことができる。n型ウエルを形成するためには、リン（P）を500keV程度の加速エネルギーでイオン注入すれば

(10)

17

よい。一方、p型ウェルを形成するためには、ボロン(B)を250keV程度の加速エネルギーでイオン注入すればよい。各ウェルの図示は省略した。また、n型ウェルにおいてパンチスルーストップイオン注入にあつては、リン(P)を300keV程度の加速エネルギーでイオン注入すればよい。一方、p型ウェルにおいてパンチスルーストップイオン注入にあつては、ボロン(B)を100keV程度の加速エネルギーでイオン注入すればよい。更には、nチャネル型トランジスタの閾値電圧 V_{th} 調整のためのイオン注入にあつては、ボロン(B)を10keV程度の加速エネルギーで注入すればよい。一方、pチャネル型トランジスタの閾値電圧 V_{th} 調整のためのイオン注入にあつては、ヒ素(As)を70keV程度の加速エネルギーでイオン注入すればよい。注入量は、それぞれ、 $1 \times 10^{12}/\text{cm}^2$ のオーダーとすればよい。

【0051】その後、半導体基板10の表面に、例えば、厚さ2.5nmのゲート絶縁膜12A、12Bを熱酸化法にて形成する。第1のトランジスタを形成すべき領域の半導体基板10におけるゲート絶縁膜12Aの厚さと、第2のトランジスタを形成すべき領域の半導体基板10におけるゲート絶縁膜12Bの厚さは、同じであってもよいし、前者の厚さを後者の厚さよりも薄くしてもよい。半導体基板10へのボロンの突き抜けを防止するために、所望に応じて、酸化シリコン(SiO_2)から成るゲート絶縁膜の表面に窒化処理を施してもよい。次いで、全面に、CVD法にて、不純物を含有していない厚さ約0.1 μm のポリシリコン層13を形成する。

【0052】次に、第2のトランジスタを形成すべき領域のポリシリコン層13及びnチャネル型の第1のトランジスタを形成すべき領域のポリシリコン層13にn型不純物をイオン注入法にて導入する。例えば、リン

(P)を10keVの加速エネルギーでイオン注入すればよく、注入量は $1 \times 10^{15}/\text{cm}^2$ のオーダーとすればよい(図1参照)。尚、pチャネル型の第1のトランジスタを形成すべき領域のポリシリコン層13には、この段階では不純物を導入しない。

【0053】【工程-110】その後、ポリシリコン層13上に、高融点金属材料層14及び絶縁材料層15を順次積層した後、第1のトランジスタを形成すべき領域の絶縁材料層15及び高融点金属材料層14を除去する。具体的には、ポリシリコン層13上に窒化タングステン膜から成る反応防止層(図示せず)を形成し、更に、タングステンから成る高融点金属材料層14、窒化シリコン(Si_3N_4)から成る絶縁材料層15を形成する(図2参照)。反応防止層の厚さを5nm、タングステンから成る高融点金属材料層14の厚さを50nm、窒化シリコン(Si_3N_4)から成る絶縁材料層15の厚さを0.15 μm とする。尚、ポリシリコン層13にはp型不純物であるボロンが含有されていないので、ポリシリ

18

コン層13からのボロンの拡散が生じることはない。

【0054】次いで、リソグラフィ法に基づき、第2のトランジスタを形成すべき領域の絶縁材料層15上にレジスト層(図示せず)を形成し、かかるレジスト層をエッチング用マスクとして、第1のトランジスタを形成すべき領域の絶縁材料層15及び高融点金属材料層14

(実施の形態1においては、更に反応防止層)をドライエッチング法あるいはウェットエッチング法にて除去した後、レジスト層を除去する(図3参照)。

【0055】【工程-120】その後、全面に、窒化タン(TiN)から成るキャップ層16をスパッタ法にて形成する(図4参照)。キャップ層16の厚さを、例えば0.1 μm とする。次いで、第2のトランジスタを形成すべき領域のキャップ層16を除去する(図5参照)。具体的には、第1のトランジスタを形成すべき領域のキャップ層16上にリソグラフィ法に基づきレジスト層(図示せず)を形成し、かかるレジスト層をエッチング用マスクとして、第2のトランジスタを形成すべき領域のキャップ層16をドライエッチング法あるいはウェットエッチング法にて除去した後、レジスト層を除去する。

【0056】【工程-130】次に、絶縁材料層15、高融点金属材料層14及びシリコン層13をパターンニングすることによって第2のトランジスタを構成するゲート電極20Bを形成し、併せて、キャップ層16及びシリコン層13をパターンニングする(図6参照)。パターンニングは、リソグラフィ法及びエッチング法といった公知の方法に基づき行うことができる。尚、pチャネル型の第1のトランジスタを形成すべき領域のポリシリコン層13にはp型不純物が含有されていないので、n型不純物を含有したポリシリコン層とp型不純物を含有したポリシリコン層のエッチングレートが異なることに起因した問題の発生を回避することができる。

【0057】以上の工程により、本発明の第1の態様に係る半導体装置の製造方法における第1の工程、即ち、半導体層である半導体基板10の表面にゲート絶縁膜12Aを形成した後、ポリシリコン層13を形成し、次いで、ポリシリコン層13上にキャップ層16を形成した後、キャップ層16及びポリシリコン層13をパターンニングする工程が完了する。

【0058】尚、その後、ポリシリコン層13の側面を酸化し、側面に酸化シリコン(SiO_2)膜を形成してもよい。これによって、ポリシリコン層13の側面下部近傍のゲート絶縁膜12A、12Bの膜厚が若干厚くなる結果、最終的に形成されるゲート電極の側壁下部における電界の緩和を図ることができ、DRAMのリフレッシュ特性の向上を図ることができるし、ゲート絶縁膜の薄酸化に伴うリーク電流の発生を防止することができる。

【0059】【工程-140】その後、第2のトランジ

(11)

19

スタを形成すべき領域の半導体基板10にn型不純物を導入することによって、第2のトランジスタを構成するソース/ドレイン領域22Bを形成する(図7参照)。

【0060】具体的には、第2のトランジスタを構成するゲート電極20Bをイオン注入用マスクとしてイオン注入を行う。例えば、リン(P)を20keVの加速エネルギーでイオン注入すればよい。また、注入量を $1 \times 10^{13}/\text{cm}^2$ のオーダーとすればよい。

【0061】併せて、nチャネル型の第1のトランジスタを形成すべき領域の半導体基板10に対しては、例えば、ヒ素(As)を、5keVの加速エネルギーにて、注入量を $1 \times 10^{14}/\text{cm}^2$ のオーダーとしてイオン注入を行い、pチャネル型の第1のトランジスタを形成すべき領域の半導体基板10に対しては、例えば、 BF_2 を、4keVの加速エネルギーにて、注入量を $1 \times 10^{14}/\text{cm}^2$ のオーダーとしてイオン注入を行うことによって、LDD構造あるいはエクステンション領域21Aを形成することができる。尚、第1のトランジスタにおいて、短チャネル効果が顕著となる場合には、ポケットイオン注入を行ってもよい。また、イオン注入により半導体基板10中に形成される結晶欠陥のために生じる増速拡散によって半導体基板10中の不純物の再分布が顕著となる場合には、この工程の後に、結晶欠陥回復のための熱処理(RTA処理)を行ってもよい。

【0062】【工程-150】次に、第2のトランジスタを形成すべき領域を絶縁層24で被覆し、併せて、パターニングされたポリシリコン層13及びキャップ層16から成る積層体の側壁にサイドウォール24Aを形成する(図8参照)。あるいは又、パターニングされたポリシリコン層13及びキャップ層16から成る積層体の側壁にサイドウォール24Aを形成する。具体的には、CVD法にて、厚さ約30nmの窒化シリコン(Si_3N_4)膜、厚さ40nmの酸化シリコン(SiO_2)膜を全面に堆積させ、次いで、第2のトランジスタを形成すべき領域をリソグラフィ法に基づきレジスト層(図示せず)で被覆し、エッチバック法にて第1のトランジスタを形成すべき領域の酸化シリコン膜及び窒化シリコン膜をエッチバックする。酸化シリコン膜のエッチバックによる除去量を40nm、窒化シリコン膜のエッチバックによる除去量を30nmとする。第2のトランジスタを形成すべき領域は、窒化シリコン膜及び酸化シリコン膜の2層から成る絶縁層24で被覆されている。一方、パターニングされたポリシリコン層13及びキャップ層16から成る積層体の側壁には、窒化シリコン膜及び酸化シリコン膜の2層の絶縁層24から成るサイドウォール24Aが形成される。

【0063】【工程-160】その後、キャップ層16を除去する(図9参照)。具体的には、第1のトランジスタを構成するポリシリコン層13上の窒化チタンから成るキャップ層16を、例えば、アンモニアと過酸化水

20

素水と純水の混合液を用いたウェットエッチング法に基づき、選択的に除去する。これによって、第1のトランジスタのゲート電極を構成するポリシリコン層13が露出する。

【0064】【工程-170】次に、第1のトランジスタを形成すべき領域の半導体基板10及びポリシリコン層13に不純物を導入することによって、第1のトランジスタを構成するソース/ドレイン領域22A及びゲート電極20Aを形成する(図10参照)。具体的には、第1のトランジスタを形成すべき領域におけるパターニングされたポリシリコン層13及びサイドウォール24Aをイオン注入用マスクとして、イオン注入を行う。nチャネル型の第1のトランジスタに関しては、ヒ素(As)を40keVの加速エネルギーでイオン注入し、注入量を $1 \times 10^{15}/\text{cm}^2$ のオーダーとすればよい。一方、pチャネル型の第1のトランジスタに関しては、 BF_2 を20keVの加速エネルギーでイオン注入し、注入量を $1 \times 10^{15}/\text{cm}^2$ のオーダーとすればよい。更に、これらのイオン注入された不純物の活性化アニールを行う。活性化アニールは、例えば、RTAにより、窒素雰囲気中、1000°C、10秒とすることができ

る。

【0065】【工程-180】その後、第1のトランジスタのソース/ドレイン領域22Aを構成する半導体基板10の部分、及び、第1のトランジスタのゲート電極20Aを構成するポリシリコン層13の表面に、サリサイド技術に基づきシリサイド層26を形成する。あるいは又、ソース/ドレイン領域22Aを構成する半導体基板10の部分、及び、ゲート電極20Aを構成するポリシリコン層13の表面に、シリサイド層26を形成する。具体的には、例えば、コバルト(Co)から成り、厚さ約10nmの高融点金属層25をスパッタ法にて全面に製膜した後(図11参照)、 $\text{N}_2/100\%$ 雰囲気又は N_2/Ar 雰囲気(大気圧)中で、550°C、30秒の条件のRTA法に基づき熱処理を施す。これによって、Co原子と、半導体基板10やポリシリコン層13を構成するSi原子とが反応してコバルトシリサイド(CoSi_2)層26が形成される。サイドウォール24Aや素子分離領域11上、絶縁層24上の高融点金属層25は未反応であり、そのまま残る。次いで、硫酸と過酸化水素水と純水の混合溶液中で未反応の高融点金属層25を除去し、再度、 $\text{N}_2/100\%$ 雰囲気又は N_2/Ar 雰囲気(大気圧)中で、800°C、30秒の条件のRTA法に基づき熱処理を施す(図12参照)。これによって、コバルトシリサイド層26の低抵抗化を図ることができる。尚、第2のトランジスタを構成するソース/ドレイン領域22Bは絶縁層24で覆われているので、かかるソース/ドレイン領域22Bにシリサイド層が形成されることはない。

【0066】第1のトランジスタを構成するゲート電極

(12)

21

20Aは、下から、不純物が導入されたポリシリコン層13、その上に形成されたシリサイド層26の2層から構成されている。第1のトランジスタを構成するゲート電極20Aの高さは約0.1 μ mである。一方、第2のトランジスタのゲート電極20Bは、下から、不純物が導入された厚さ約0.1 μ mのポリシリコン層13、その上に形成された厚さ約0.05 μ mの高融点金属材料層14、厚さ約0.15 μ mの絶縁材料層15、厚さ約0.07 μ mの絶縁層24の4層から構成される。従って、第2のトランジスタを構成するゲート電極20Bの高さは、約0.37 μ mである。このように、第1のトランジスタにおけるゲート電極20Aの高さが、第2のトランジスタにおけるゲート電極20Bの高さよりも低いので、第1のトランジスタにおけるアスペクト比

(ゲート電極の高さ/ゲート電極の間隔)の最大値と最小値と差を小さくすることができ、第1のトランジスタを構成するソース/ドレイン領域に形成されたシリサイド層26の厚さの最大値と最小値の差を小さくすることができる。

【0067】[工程-190]以降、層間絶縁層、コンタクトプラグ、DRAMキャパシタ、配線等を形成し、DRAM混載ロジックLSIを完成させる。具体的には、例えば、酸化シリコン(SiO_2)から成る第1の層間絶縁層31をCVD法にて全面に形成し、化学的機械的研磨法(CMP法)等によって第1の層間絶縁層31の平坦化処理を行う。次いで、全面に、ポリシリコンから成るハードマスク層32をCVD法にて形成する。その後、リソグラフィ法及びドライエッチング法に基づき、ハードマスク層32に開口部を形成する。次いで、開口部内を含むハードマスク層32上にポリシリコン層を形成し、かかるポリシリコン層をエッチバックすることによって、開口部内に開口部径縮小用マスク33を形成する。この状態におけるDRAMの領域を模式的に図13に示す。尚、論理回路の領域においても、層間絶縁層31及びハードマスク層32は形成されているが、開口部及び開口部径縮小用マスク33は形成されていない。開口部径縮小用マスク33によって縮径された開口部の直径を約80nmとする。即ち、開口部の底部の直径は約80nmである。場合によっては、ハードマスク層32を形成すること無く、レジスト材料から成るマスク層を形成し、かかるマスク層をエッチング用マスクとして用いて第1の層間絶縁層31に開口部を形成してもよい。

【0068】そして、ハードマスク層32及び開口部径縮小用マスク33をエッチング用マスクとして用いて、ドライエッチング法に基づき、第2のトランジスタを構成するソース/ドレイン領域22Bに達する開口部34を、第1の絶縁材料層31に形成する。絶縁層24が形成されているので、開口部34内にゲート電極20Bが露出することを防止でき、次に形成するコンタクトプラ

22

グとゲート電極20Bとの間の短絡発生を確実に防止することができる。その後、開口部34の底部に露出した第2のトランジスタを構成するソース/ドレイン領域22Bにn型不純物をイオン注入して不純物含有領域を形成し(即ち、コンタクト補償イオン注入を実施し)、開口部34内に形成されるコンタクトプラグとソース/ドレイン領域22Bとの間の接触抵抗の低減を図ることが好ましい。

【0069】その後、開口部34内を含む全面に、ポリシリコンあるいはアモルファスシリコンから成り、不純物を含有するシリコン層を堆積させ、エッチバック法あるいはCMP法によって、かかるシリコン層、ハードマスク層32及び開口部径縮小用マスク33を除去し、導電材料である不純物を含有するシリコン層によって開口部34内を埋め込み、コンタクトプラグ35(ビット線用のコンタクトプラグ及びノード用のコンタクトプラグ)を完成させる。

【0070】その後、不純物含有領域中の不純物の活性化及びコンタクトプラグ35中の不純物の活性化のために、RTA法にて800~850 $^{\circ}$ Cの熱処理を行う。この熱処理は、論理回路を構成する第1のトランジスタの製造プロセスに不要なプロセスであるが、トランジスタの特性への影響が無視できる程度の短時間の熱処理である。

【0071】次いで、コンタクトプラグ35の頂面上を含む第1の層間絶縁層31上にコンタクトプラグ35とビット線を電気的に分離するため、厚さ約20nmの酸化シリコン(SiO_2)から成る第1の絶縁膜36を形成する。この状態を図15に示す。尚、論理回路の領域においても、層間絶縁層31上に第1の絶縁膜36を形成する。

【0072】次に、ビット線用のコンタクトプラグ35上を含む第1の絶縁膜36上に、ビット線37を形成する(図16参照)。具体的には、ビット線用のコンタクトプラグ35上の第1の絶縁膜36に開口部を形成し、次いで、厚さ10~20nmのチタン(Ti)層、厚さ約20nmのTiN層、厚さ約100nmのタングステン層を順次、スパッタ法にて形成し、タングステン層、TiN層、チタン層をバタニングすればよい。尚、図10においては、ビット線37を1層で表した。このようなビット線構成により、ビット線37の低抵抗化を実現でき、ビット線イコライズ速度の向上を図ることができ、高速アクセスが実現できる。尚、このビット線37の形成時、同時に、論理回路を構成する第1のトランジスタにおける局所配線も形成することができる。ビット線の構成として、その他、タングステン層/TiN層の積層構成、タングステン層/WN層/ポリシリコン層の積層構成を例示することができる。

【0073】その後、全面に第2の層間絶縁層40を形成し、ノード用のコンタクトプラグ35の上方の第2の

(13)

23

層間絶縁層40に開口部を形成し、かかる開口部内をタングステンで埋め込み、ノードコンタクトプラグ41を形成する。具体的には、超解像法や、先に説明したハードマスク層と開口部径縮小用マスクとの組合せによって、第2の層間絶縁層40に直径100nm程度の開口部を形成し、開口部内を含む第2の層間絶縁層上にチタン層、TiN層をスパッタ法にて形成した後、開口部内を含む全面にCVD法にてタングステン層を形成する。そして、第2の層間絶縁層40上のタングステン層、TiN層、チタン層をエッチバック法やCMP法に基づき選択的に除去することによって、ノードコンタクトプラグ41を得ることができる。尚、図においては、ノードコンタクトプラグ41を1層で表した。

【0074】次に、ノードコンタクトプラグ41の頂面上を含む第2の層間絶縁層40上に厚さ約100nmの第2の絶縁膜42を形成した後（DRAMの領域に関しては、図17参照）、第2の絶縁膜42、第2の層間絶縁層40、第1の絶縁膜36、第1の層間絶縁層31を貫通し、論理回路を構成する第1のトランジスタのソース/ドレイン領域22A及びゲート電極20Aに達する開口部43を設ける（図18参照）。尚、ゲート電極20Aに達する開口部の図示は省略した。サイドウォール24Aが形成されているので、次に形成するコンタクトプラグとゲート電極20Aとの間の短絡発生を確実に防止することができる。

【0075】その後、第1のトランジスタを構成するソース/ドレイン領域22Aに水素を導入するシンタリング処理を行う。シンタリング処理は、約400°Cの水素ガス雰囲気での熱処理とすることができる。

【0076】DRAMを構成するキャパシタを形成するとき、一般に使用されている窒化膜系の誘電体材料には、700~800°C程度の高温プロセスが必要とされる。キャパシタとして、600°C以下の低温プロセスで形成が可能なMIM (Metal-Insulator-Metal) 構造を適用することもできるが、その後、論理回路を構成する第1のトランジスタのソース/ドレイン領域にコンタクトプラグを形成するとき、バリアメタルやグルーレイヤーの特性向上のため、650°C程度の熱処理が必要とされる。然るに、このような650°C程度の熱処理を行うと、MIM構造を有するキャパシタの特性が低下する虞がある。また、MIM構造のキャパシタを構成する誘電体薄膜には、一般に、金属酸化物が使用されるが、かかる誘電体薄膜は、酸素欠陥によってリークが発生し、特性が低下するので、高温の還元性雰囲気誘電体薄膜を曝すことは好ましくない。即ち、MIM構造のキャパシタを形成した後に、論理回路を構成する第1のトランジスタのソース/ドレイン領域に水素を導入するシンタリング処理は、出来る限り避けたい処理である。

【0077】実施の形態1においては、キャパシタの形成前に、シンタリング処理や論理回路を構成する第1の

24

トランジスタのソース/ドレイン領域にコンタクトプラグを形成するので、上述の問題が発生することがない。

【0078】その後、開口部43内を含む第2の絶縁膜42上にTiNから成る密着層（図示せず）をスパッタ法にて形成し、密着層の緻密化のために650°C前後のRTA処理を行う。このとき、タングステンから成るノードコンタクトプラグ41と、シリコンから成るノード用のコンタクトプラグ35との接続境界領域において、シリサイド化が生じる結果、ノードコンタクトプラグ41とノード用のコンタクトプラグ35との良好なる接続を確保することができる。そして、開口部43内を含む全面にCVD法にてタングステン層を形成した後、第2の絶縁膜42上のタングステン層、TiN層をエッチバック法やCMP法に基づき選択的に除去することによって、コンタクトプラグ44を得ることができる。尚、図においては、コンタクトプラグ44を1層で表した。

【0079】次に、TiN/Al-Cu/TiN/Ti (=50/400/20/20nm)の積層構成を有する配線45を、スパッタ法、リソグラフィ法及びドライエッチング法に基づき形成する。DRAMを構成するギャパシタの形成によって大きな段差が生じる前に配線45を形成するので、容易に、且つ、高い信頼性を有する配線45、コンタクトプラグ44を得ることができる。尚、配線45を1層で表した。その後、全面に第3の層間絶縁層46を形成する（図19参照）。尚、キャパシタを形成する前に、配線45を形成するので、コンタクトプラグ44の深さが左程深くなることがない。

【0080】次いで、第3の層間絶縁層46に記憶ノード形状を有する凹部を、その底部にノードコンタクトプラグ41が露出するように形成する。その後、WNやTiN等の耐酸化性に優れた金属、あるいは、RuやIr等の酸化物が導電性を有する金属あるいは金属酸化物から成る薄膜を、凹部内を含む第3の層間絶縁層46上に50nm程度、堆積させる。次いで、レジスト材料やBPSG、SOGといった第3の層間絶縁層46に対して選択的に除去できる材料で凹部内を埋め込み、エッチバック法やCMP法に基づき、第3の層間絶縁層46上の薄膜を除去した後、凹部内を埋め込んだ材料を除去することによって、凹部内に記憶ノード電極47を形成することができる。その後、凹部内の記憶ノード電極47上を含む第3の層間絶縁層46上に、厚さ10nm程度のTa₂O₅から成る誘電体薄膜48を形成し、400~450°Cに加熱した状態で紫外線を誘電体薄膜48に照射し、次いで、オゾンガス雰囲気中で10分程度のアニール処理を施す。これによって、誘電体薄膜48は非晶質状態のままであるが、膜中の酸素欠陥が十分に消失し、残留カーボンも除去されて、良好なる膜質のキャパシタ誘電体薄膜となる。その後、全面に厚さ約100nmのTiN層あるいはタングステン層をスパッタ法にて

(14)

25

形成し、リソグラフィ法及びエッチング法に基づき、TiN層あるいはタングステン層及び誘電体薄膜48をパターニングする。こうして、TiN層あるいはタングステン層から成るセルプレート49を得ることができる

(図20参照)。以上のキャパシタ形成工程において大きな段差が生じることはない。尚、記憶ノード電極47は各第2のトランジスタ毎に設けられており、誘電体薄膜48及びセルプレート49は複数(若しくは全て)の第2のトランジスタに共通である。

【0081】その後、全面に第4の層間絶縁層を形成し、セルプレート49及び配線45の上方の第4の層間絶縁層に開口部を形成し、かかる開口部内を導電材料で埋め込み、接続孔を形成する。その後、接続孔上を含む第4の層間絶縁層上に配線材料層を形成し、かかる配線材料層をパターニングすることによって、第2の配線を形成することができる。尚、配線45と第2の配線を形成する間の工程においてキャパシタ構造を形成するので、第2の配線のためのコンタクトプラグの深さは、従来の論理回路とDRAMとが混載された半導体装置におけるコンタクトプラグの深さよりも浅くすることができる。

【0082】(実施の形態2) 実施の形態2は、本発明の半導体装置及び本発明の第3の態様に係る半導体装置の製造方法に関する。

【0083】図25に模式的な一部断面図を示す実施の形態2の半導体装置も、第1のトランジスタにおけるサイドウォール124Aの構造が、実施の形態1にて説明した半導体装置の第1のトランジスタにおけるサイドウォール24Aの構造と若干相違している点を除き、実質的に同じ構造を有するので、実施の形態2における半導体装置の詳細な説明は省略する。

【0084】以下、半導体基板等の模式的な一部断面図である図21～図25を参照して、実施の形態2の半導体装置の製造方法を説明するが、実施の形態2の半導体装置の製造方法は、キャップ層を形成しない点が、実施の形態1の半導体装置の製造方法と異なる。

【0085】[工程-200] 先ず、実施の形態1の[工程-100]と同様にして、半導体層であるシリコン半導体基板から成る半導体基板10の表面にゲート絶縁膜12A、12Bを形成した後、ポリシリコン層13を形成し、次いで、少なくとも、第2のトランジスタを形成すべき領域のポリシリコン層13に不純物を導入する。

【0086】[工程-210] その後、実施の形態1の[工程-110]と同様にして、ポリシリコン層13上に、高融点金属材料層14及び絶縁材料層15を順次積層した後、第1のトランジスタを形成すべき領域の絶縁材料層15及び高融点金属材料層14を除く。

【0087】[工程-220] その後、実施の形態1の[工程-130]と同様にして、絶縁材料層15、高

26

融点金属材料層14及びシリコン層13をパターニングすることによって第2のトランジスタを構成するゲート電極20Bを形成する。併せて、ポリシリコン層13をパターニングする(図21参照)。パターニングは、リソグラフィ法及びエッチング法といった公知の方法に基づき行うことができる。尚、pチャネル型の第1のトランジスタを形成すべき領域のポリシリコン層13にはp型不純物が含有されていないので、n型不純物を含有したポリシリコン層とp型不純物を含有したポリシリコン層のエッチングレートが異なることに起因した問題の発生を回避することができる。その後、ポリシリコン層13の側面を酸化し、側面に酸化シリコン(SiO₂)膜を形成してもよい。

【0088】[工程-230] その後、実施の形態1の[工程-140]と同様にして、第2のトランジスタを形成すべき領域の半導体基板10にn型不純物を導入することによって、第2のトランジスタを構成するソース/ドレイン領域22Bを形成する(図22参照)。尚、併せて、第1のトランジスタを形成すべき領域の半導体基板10に、LDD構造あるいはエクステンション領域21Aを形成する。

【0089】[工程-240] 次に、実施の形態1の[工程-150]と同様にして、第2のトランジスタを形成すべき領域を絶縁層24で被覆し、併せて、パターニングされたポリシリコン層13の側壁にサイドウォール124Aを形成する(図23参照)。

【0090】[工程-250] 次に、実施の形態1の[工程-170]と同様にして、第1のトランジスタを形成すべき領域の半導体基板10及びポリシリコン層13に不純物を導入することによって、第1のトランジスタを構成するソース/ドレイン領域22A及びゲート電極20Aを形成する(図24参照)。

【0091】[工程-260] その後、実施の形態1の[工程-180]と同様にして、第1のトランジスタのソース/ドレイン領域22Aを構成する半導体基板10の部分、及び、第1のトランジスタのゲート電極20Aを構成するポリシリコン層13の表面に、サリサイド技術に基づきシリサイド層26を形成する(図25参照)。

【0092】第1のトランジスタを構成するゲート電極20A及び第2のトランジスタのゲート電極20Bの構造、高さは、実施の形態1における第1のトランジスタを構成するゲート電極20A及び第2のトランジスタのゲート電極20Bの構造、高さと同じである。

【0093】[工程-270] 以降、実施の形態1の[工程-190]と同様の方法で、層間絶縁層、コンタクトプラグ、DRAMキャパシタ、配線等を形成し、DRAM混載ロジックLSIを完成させる。

【0094】以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。

(15)

27

い。発明の実施の形態にて説明した半導体装置の構造、半導体装置の製造において使用した材料、加工条件、イオン注入条件等は例示であり、適宜変更することができる。第2のトランジスタはDRAMに限定するものではない。場合によっては、絶縁材料層15の形成を省略して、絶縁層24のみを形成してもよい。また、サイドウォール24Aを形成するとき、第2のトランジスタを形成すべき領域の絶縁層24を除去してもよい。

【0095】

【発明の効果】本発明の半導体装置あるいは本発明の第2の態様及び第3の態様に係る半導体装置の製造方法においては、第1のトランジスタにおけるゲート電極の高さが、第2のトランジスタにおけるゲート電極の高さよりも低いので、隣接する第1のトランジスタにおけるゲート電極間の距離（間隔）とゲート電極の高さとで決まるアスペクト比の値の最大値と最小値の差を小さくできる。その結果、第1のトランジスタを構成するソース/ドレイン領域に最終的に形成されるシリサイド層の厚さの最大値と最小値の差を小さくすることができ、論理回路を構成するCMOSトランジスタの寄生抵抗を低減することが可能となる。

【0096】また、本発明の第1の態様～第3の態様に係る半導体装置の製造方法においては、パターニングされ、露出したシリコン層に不純物を導入することによってゲート電極を形成するので、シリコン層に導入された不純物の型（n型、p型）に依存したエッチングレートの差異によってシリコン層のパターニングが困難になるといった問題を回避することができる。

【0097】しかも、シリコン層中に含まれたボロンに対して熱処理が加えられるのは、基本的には、シリコン層中に導入されたボロンを活性化するための1回の熱処理のみである。従って、シリコン層に含まれた不純物が高融点金属材料層や半導体層に拡散してしまい、シリコン層中のボロン濃度が低下するといった問題の発生を回避することができる。これによって、CMOS論理回路における特にpチャネル型の第1のトランジスタの電流駆動能力の低下を回避することができる。

【0098】また、DRAMを構成する第2のトランジスタのゲート電極（ワード線）には高融点金属材料層が形成され、論理回路を構成する第1のトランジスタのゲート電極にはシリサイド層が形成されているので、どちらのトランジスタにおいてもゲート電極の低抵抗化が達成できる。それ故、大容量のDRAMと論理回路を1チップに混載することが可能となる。

【0099】しかも、第2のトランジスタを構成するソース/ドレイン領域にシリサイド層が形成されることがないので、DRAMメモリセル特性の低下といった問題の発生を回避することができる。

【0100】更には、第1のトランジスタにおいては、ゲート電極の側壁にサイドウォールが形成されているの

28

で、ソース/ドレイン領域へのコンタクトプラグ形成において、層間絶縁層に開口部を形成する際、合わせずれにより開口部がゲート電極側にシフトしたとしても、ゲート電極とコンタクトプラグとの距離が確保され、ゲート電極とコンタクトプラグとの間の耐圧が劣化することはない。また、第2のトランジスタにおいても、ゲート電極に絶縁層を形成すれば、ソース/ドレイン領域へのコンタクトプラグ形成において、層間絶縁層に開口部を形成する際、合わせずれにより開口部がゲート電極側にシフトしたとしても、ゲート電極とコンタクトプラグとの距離が確保されるので、ゲート電極とコンタクトプラグとの間の耐圧が低下することはない。

【0101】また、本発明の第2の態様若しくは第3の態様に係る半導体装置の製造方法においては、第2のトランジスタを構成するソース/ドレイン領域が絶縁層で被覆された状態で第1のトランジスタを形成すべき領域の半導体層を露出させるので、このとき、第2のトランジスタを形成すべき領域の半導体層がエッチングによって掘られたり、エッチングダメージ（所謂、半導体基板におけるサブオキシドの生成やカーボンの叩き込み）が生じることがなく、第2のトランジスタの特性が低下することを防止し得る。

【0102】以上の結果として、サリサイド技術及びデュアルゲート技術を含む高速論理回路製造プロセスと汎用のDRAM製造プロセスとの間の良好な整合性を達成することができる。即ち、標準的な論理回路プロセスに付加的なDRAMプロセスを加えることによって、論理回路とDRAMとが混載された半導体装置を容易に得ることができる。また、今後の流通が期待されるIPのライブラリとして、DRAMメモリセルを準備することが可能となる。更には、シリサイド層を形成すべきでない領域の半導体層を容易に得ることができるので、静電破壊強度の高い入出力回路の保護素子や高抵抗素子を同時に形成することができる。

【図面の簡単な説明】

【図1】発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図2】図1に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図3】図2に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図4】図3に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図5】図4に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

(16)

29

【図6】図5に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図7】図6に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図8】図7に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図9】図8に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図10】図9に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図11】図10に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図12】図11に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図13】図12に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図14】図13に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図15】図14に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図16】図15に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図17】図16に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図18】図17に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図19】図18に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図20】図19に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図21】発明の実施の形態2の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図で

30

ある。

【図22】図21に引き続き、発明の実施の形態2の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図23】図22に引き続き、発明の実施の形態2の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図24】図23に引き続き、発明の実施の形態2の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図25】図24に引き続き、発明の実施の形態2の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図26】従来の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図27】図26に引き続き、従来の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図28】図27に引き続き、従来の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図29】図28に引き続き、従来の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図30】図29に引き続き、従来の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図31】図30に引き続き、従来の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図32】図31に引き続き、従来の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図33】図32に引き続き、従来の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

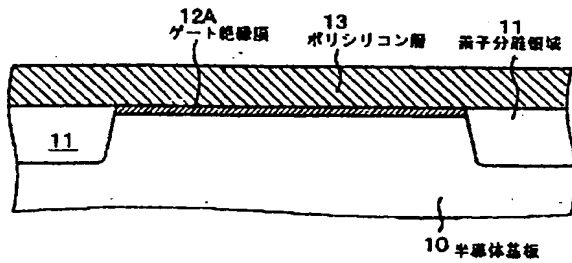
【符号の説明】

10・・・半導体基板、11・・・素子分離領域、12 A、12 B・・・ゲート絶縁膜、13・・・ポリシリコン層、14・・・高融点金属材料層、15・・・絶縁材料層、16・・・キャップ層、20 A、20 B・・・ゲート電極、21 A・・・エクステンション領域、22 A、22 B・・・ソース/ドレイン領域、23 A、23 B・・・チャネル形成領域、24・・・絶縁層、24 A、124 A・・・サイドウォール、25・・・高融点金属層、26、26'・・・シリサイド層

(17)

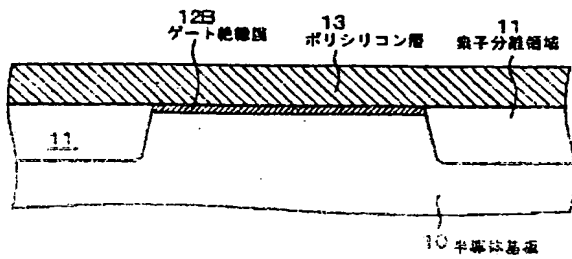
【図1】

【図1】
【工程-100】
(A) 論理回路の領域



(B) DRAMの領域

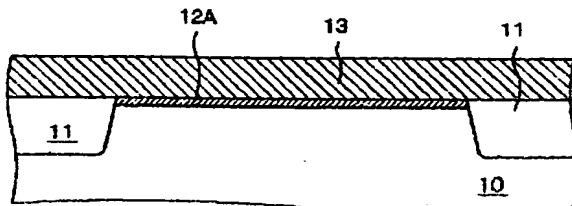
n形不純物のイオン注入



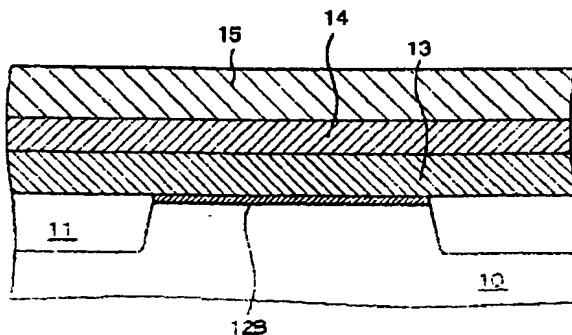
【図3】

【図3】
【工程-110】 続き

(A) 論理回路の領域

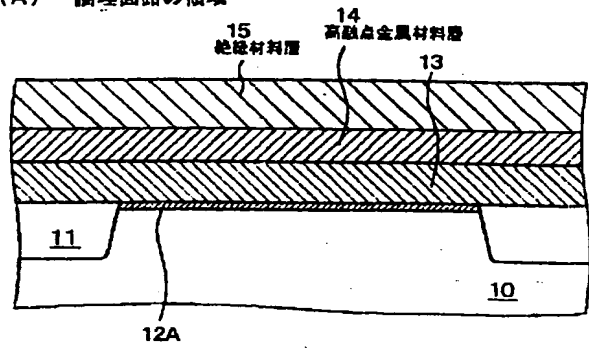


(B) DRAMの領域

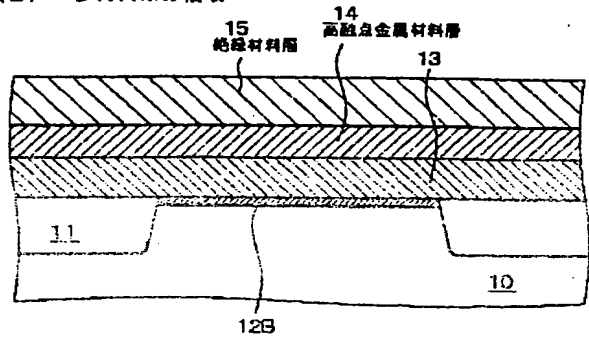


【図2】

【図2】
【工程-110】
(A) 論理回路の領域

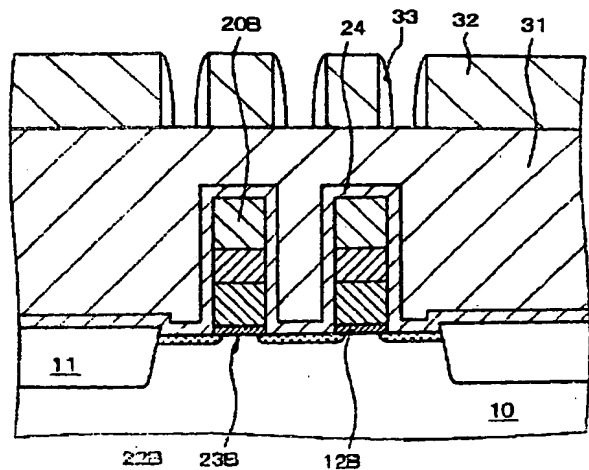


(B) DRAMの領域



【図13】

【図13】
【工程-190】
DRAMの領域



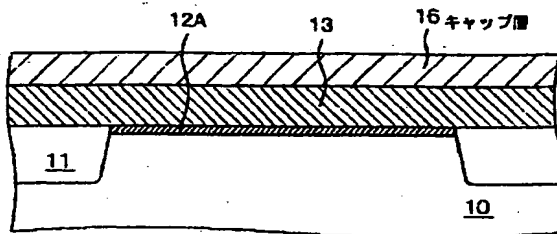
(18)

【図4】

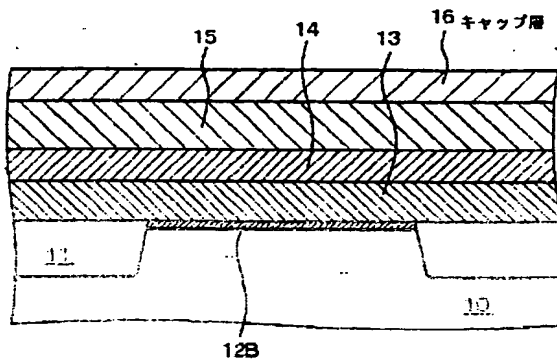
【図4】

【工程-120】

(A) 論理回路の領域



(B) DRAMの領域

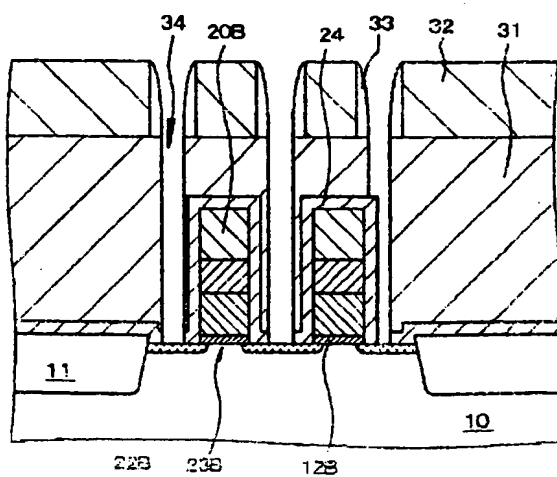


【図14】

【図14】

【工程-190】 続き

DRAMの領域

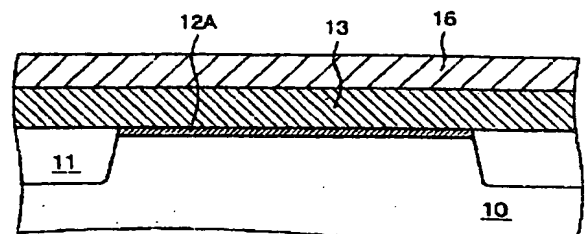


【図5】

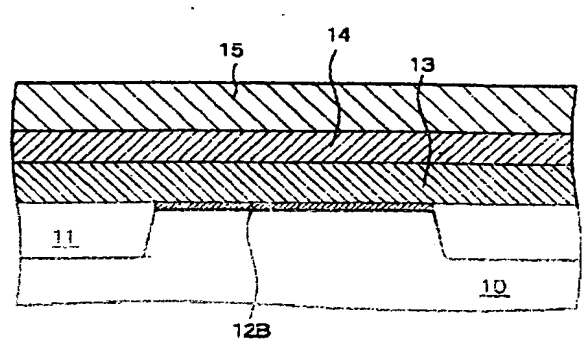
【図5】

【工程-120】 続き

(A) 論理回路の領域



(B) DRAMの領域

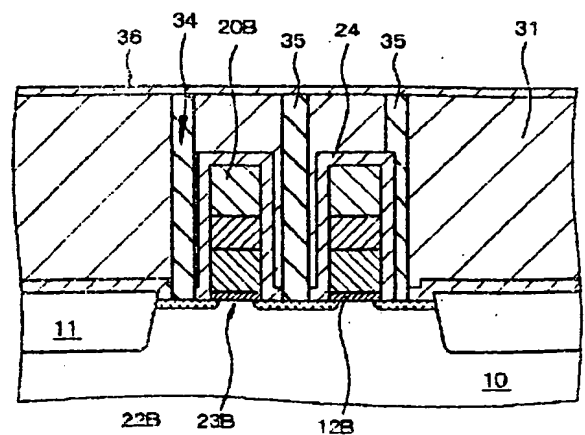


【図15】

【図15】

【工程-190】 続き

DRAMの領域



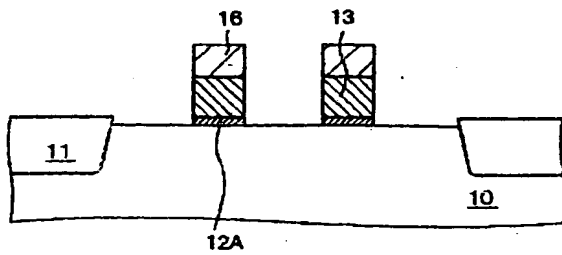
(19)

【図6】

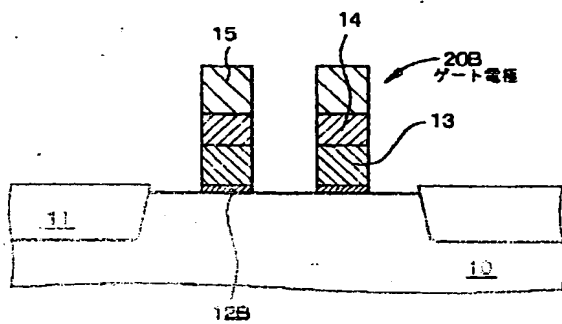
【図6】

【工程-130】

(A) 論理回路の領域



(B) DRAMの領域

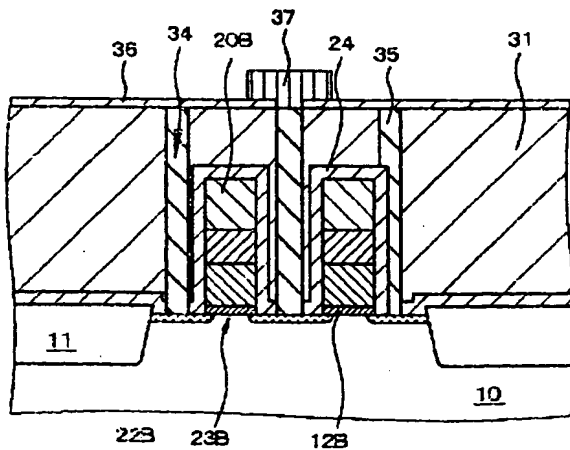


【図16】

【図16】

【工程-190】 続き

DRAMの領域

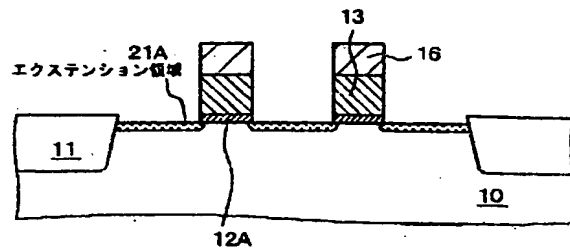


【図7】

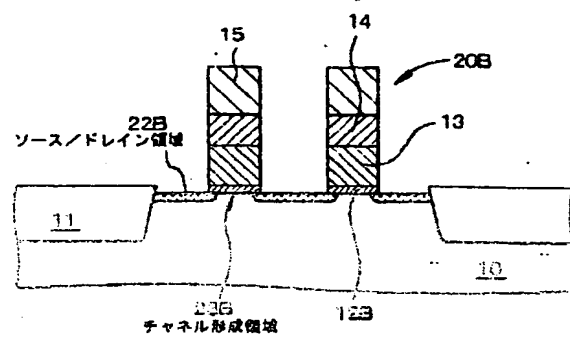
【図7】

【工程-140】

(A) 論理回路の領域



(B) DRAMの領域

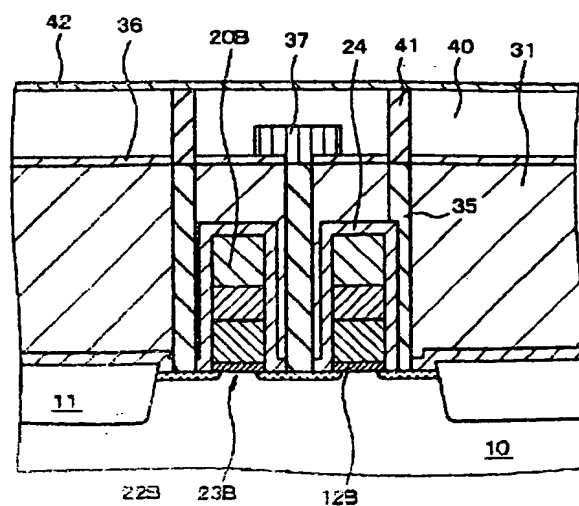


【図17】

【図17】

【工程-190】 続き

DRAMの領域



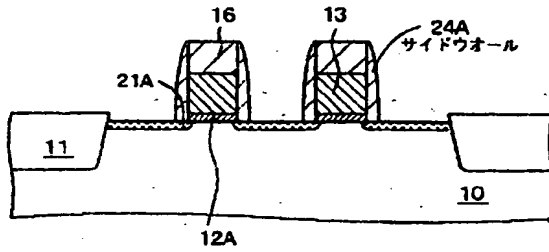
(20)

【図8】

【図8】

【工程-150】

(A) 論理回路の領域

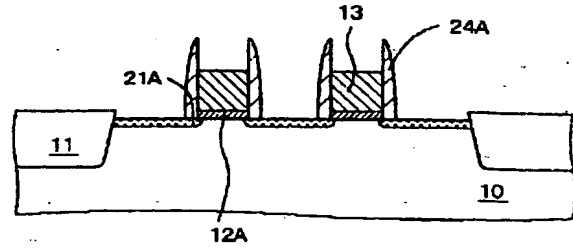


【図9】

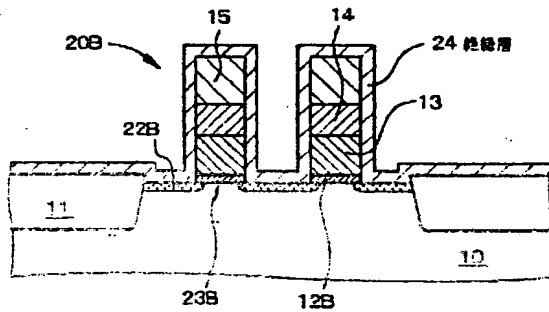
【図9】

【工程-160】

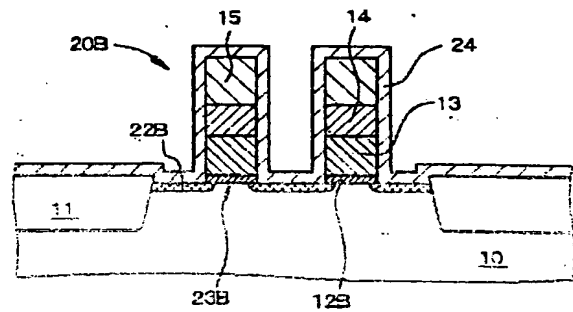
(A) 論理回路の領域



(B) DRAMの領域



(B) DRAMの領域

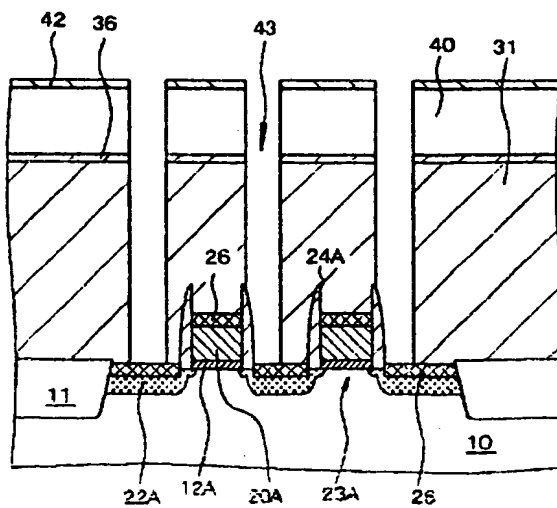


【図18】

【図18】

【工程-190】 続き

論理回路の領域

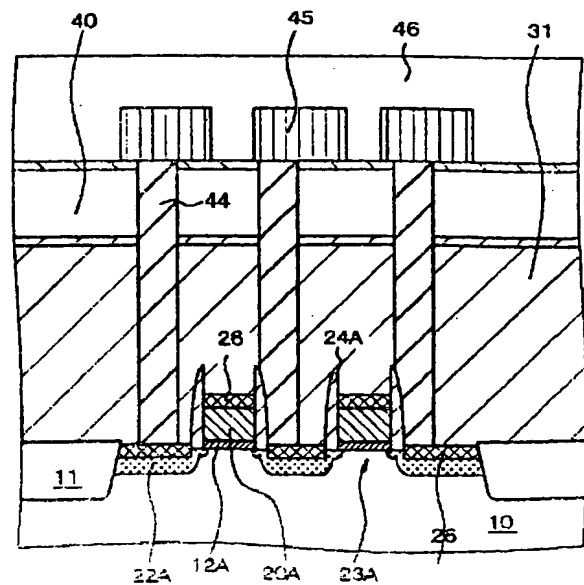


【図19】

【図19】

【工程-190】 続き

論理回路の領域



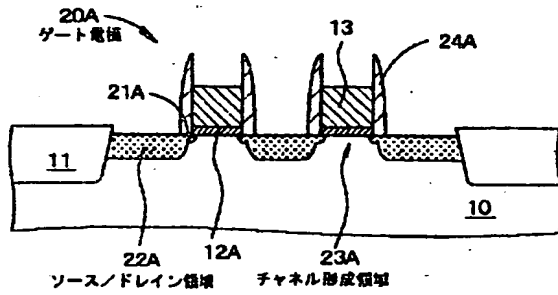
(21)

【図10】

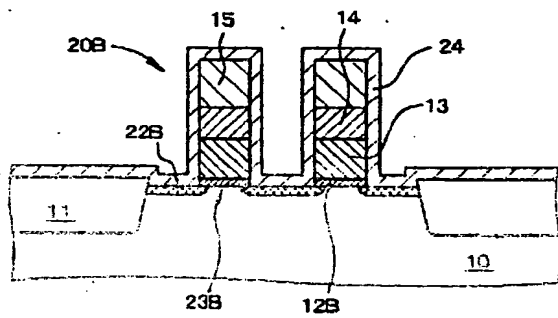
【図10】

【工程-170】

(A) 論理回路の領域



(B) DRAMの領域

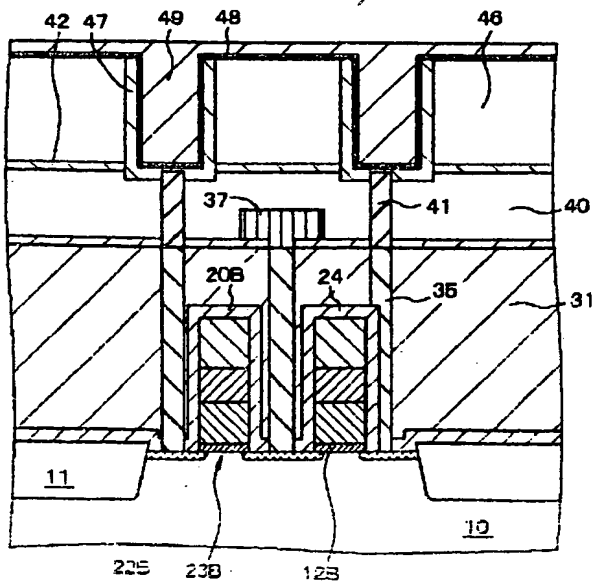


【図20】

【図20】

【工程-190】 続き

DRAMの領域

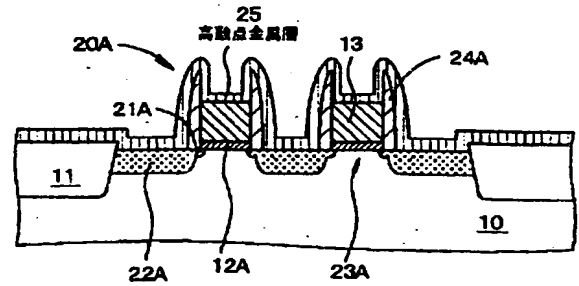


【図11】

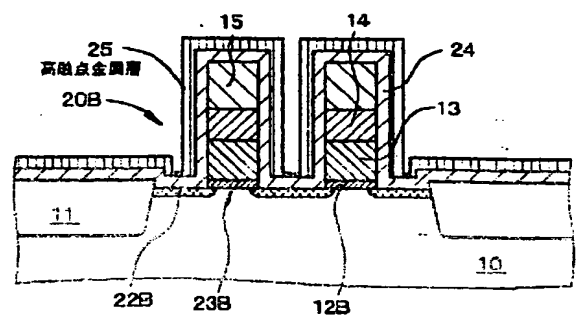
【図11】

【工程-180】

(A) 論理回路の領域



(B) DRAMの領域



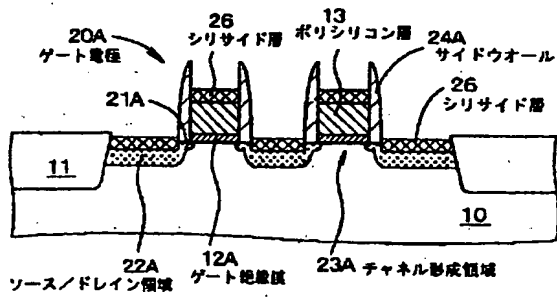
(22)

【図12】

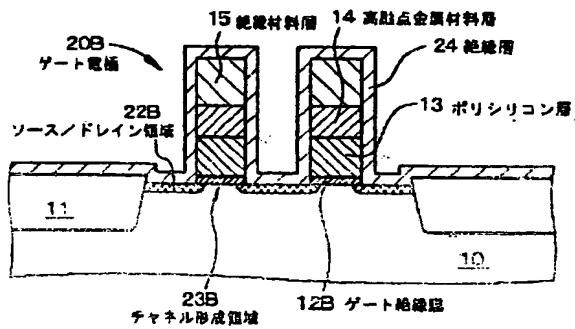
【図12】

【工程-180】 続き

(A) 論理回路の領域



(B) DRAMの領域

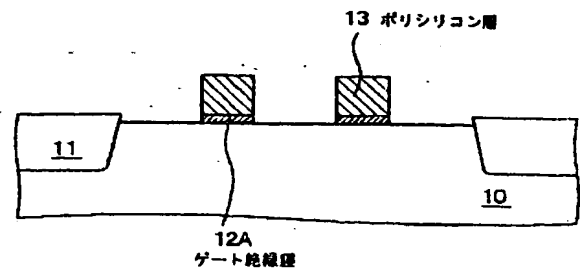


【図21】

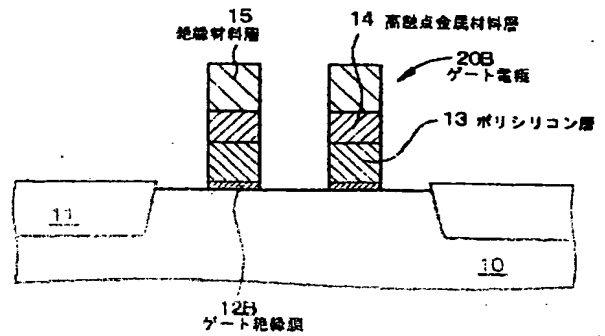
【図21】

【工程-210】

(A) 論理回路の領域



(B) DRAMの領域



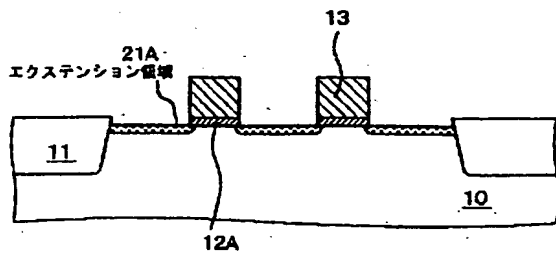
(23)

【図22】

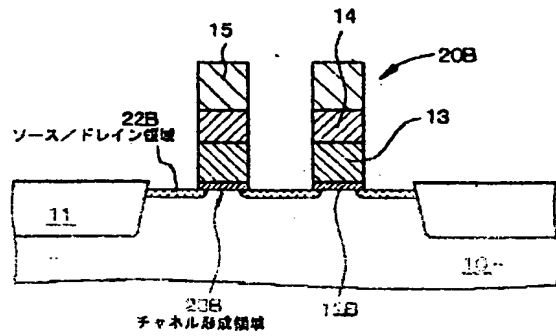
【図22】

【工程-230】

(A) 論理回路の領域



(B) DRAMの領域

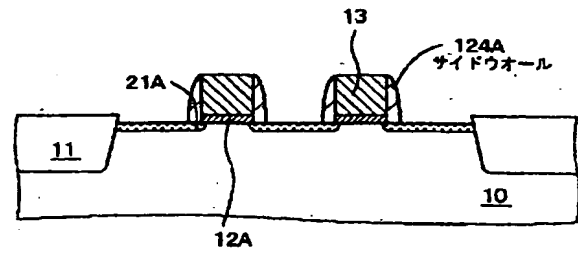


【図23】

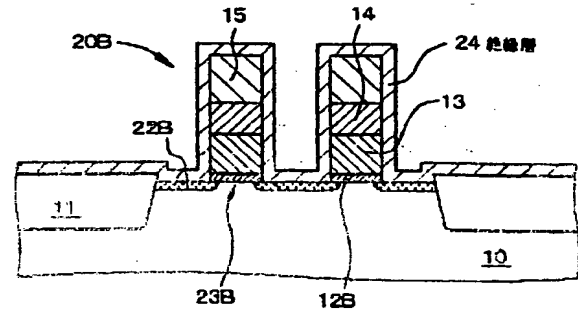
【図23】

【工程-240】

(A) 論理回路の領域



(B) DRAMの領域



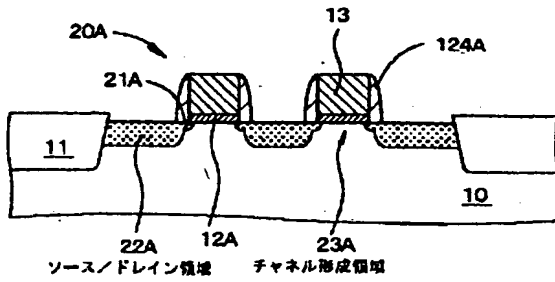
(24)

【図24】

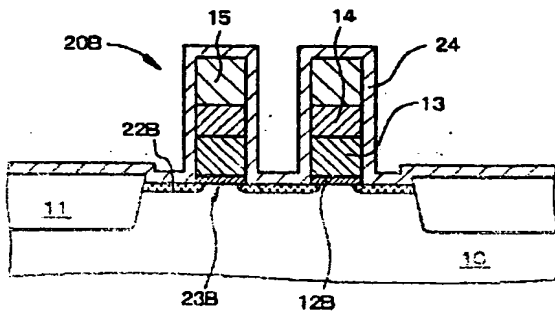
【図24】

【工程-250】

(A) 論理回路の領域



(B) DRAMの領域

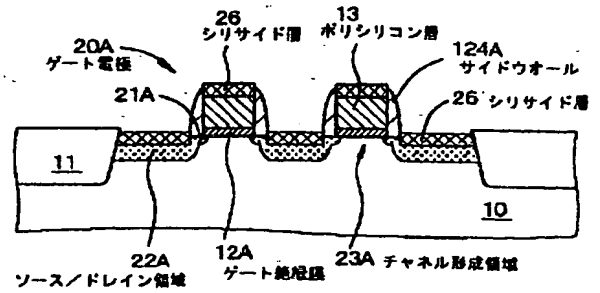


【図25】

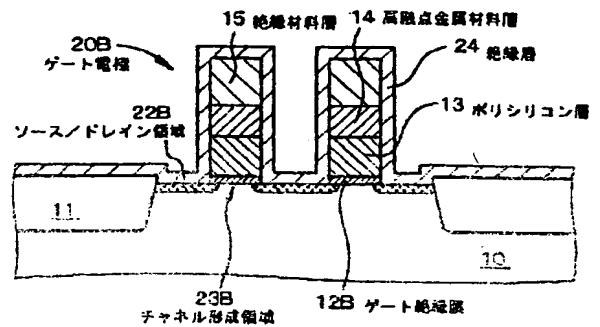
【図25】

【工程-250】

(A) 論理回路の領域



(B) DRAMの領域



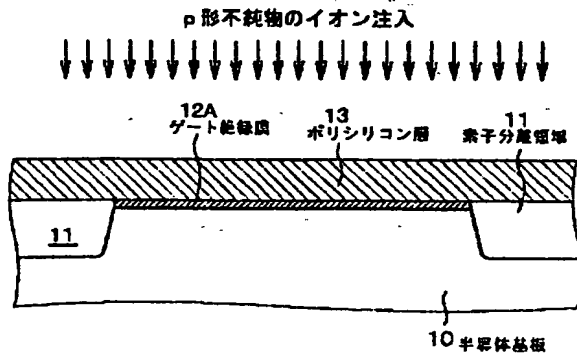
(25)

【図26】

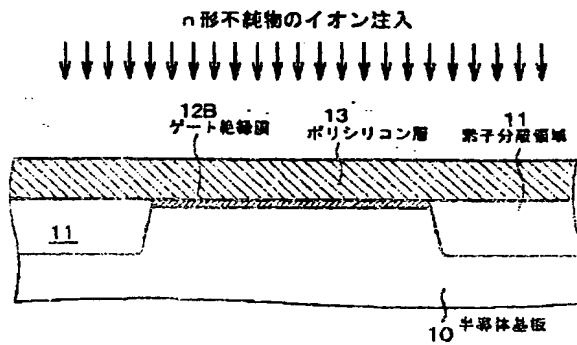
【図26】

【工程-10】

(A) 論理回路の領域



(B) DRAMの領域

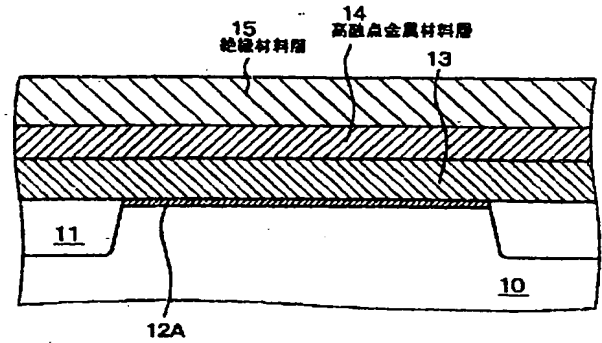


【図27】

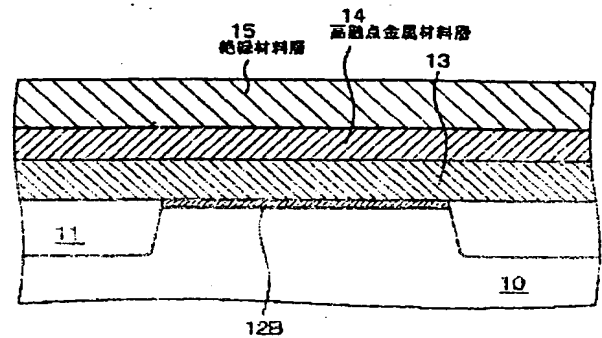
【図27】

【工程-10】 続き

(A) 論理回路の領域



(B) DRAMの領域



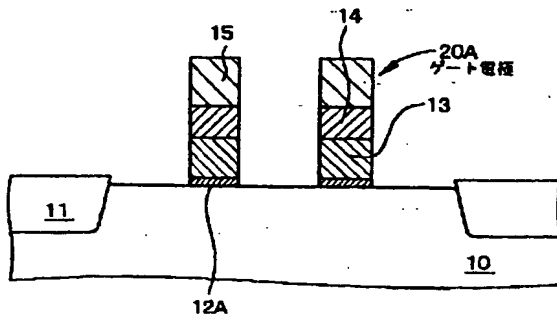
(26)

【図28】

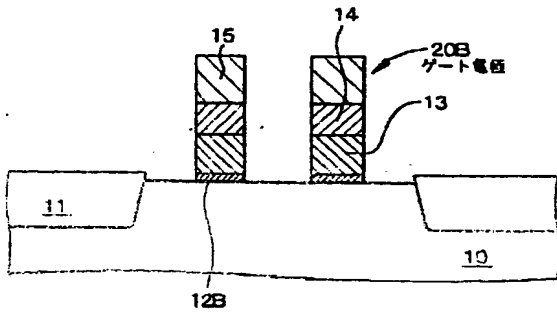
【図28】

【工程-20】

(A) 論理回路の領域



(B) DRAMの領域

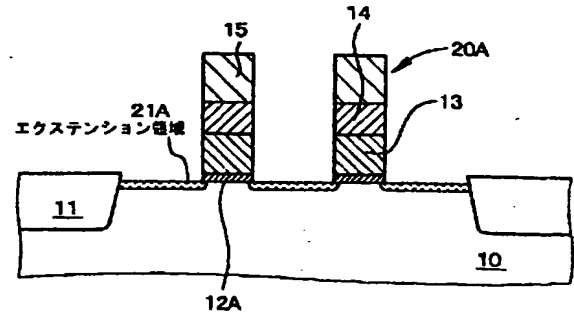


【図29】

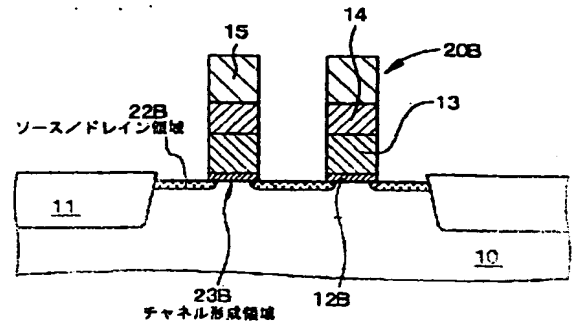
【図29】

【工程-30】

(A) 論理回路の領域



(B) DRAMの領域



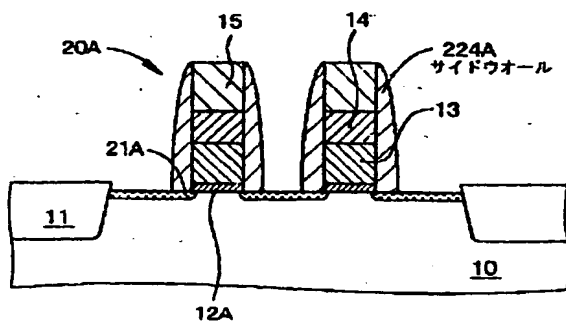
(27)

【図30】

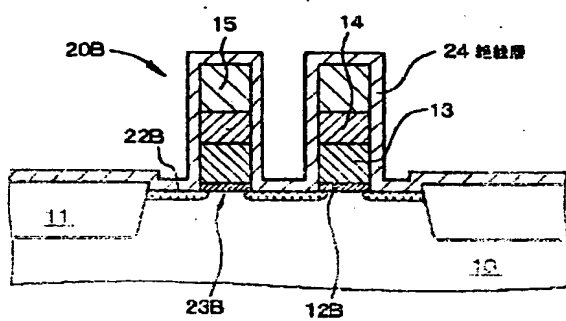
【図30】

【工程-40】

(A) 論理回路の領域



(B) DRAMの領域

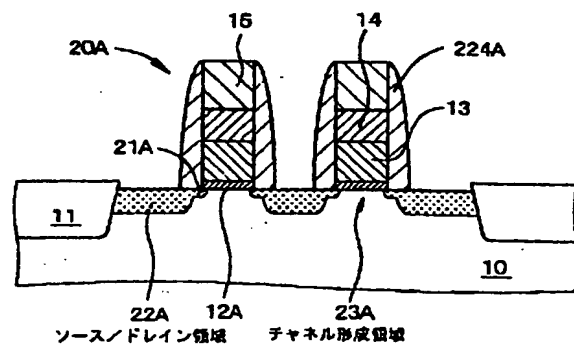


【図31】

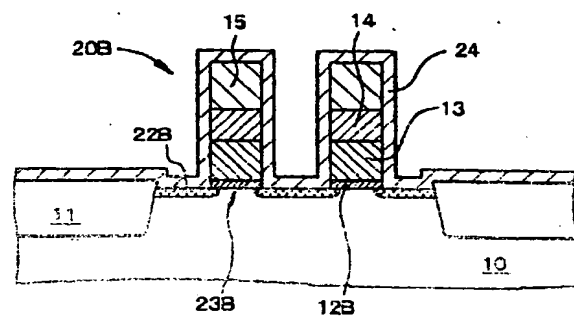
【図31】

【工程-50】

(A) 論理回路の領域



(B) DRAMの領域



(28)

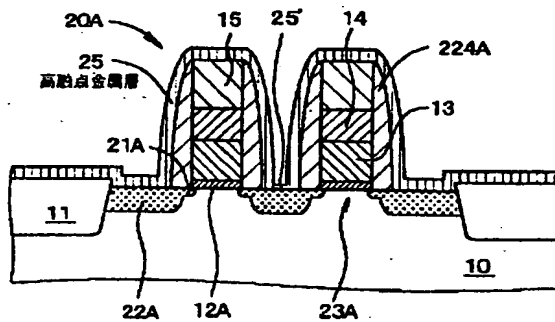
【図32】

【図 3 3】

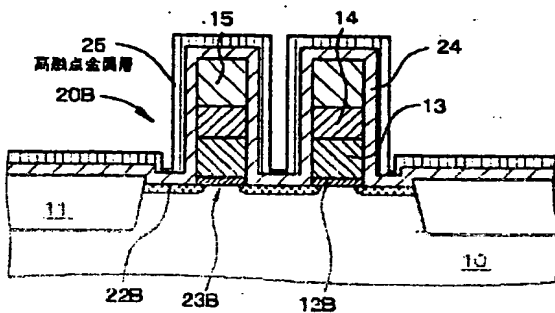
【圖 3 2】

[工程—60]

(A) 論理回路の領域



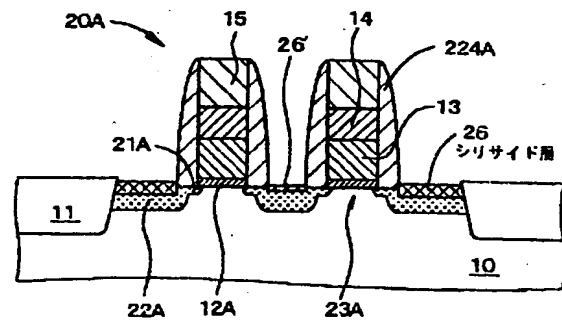
(B) DRAMの領域



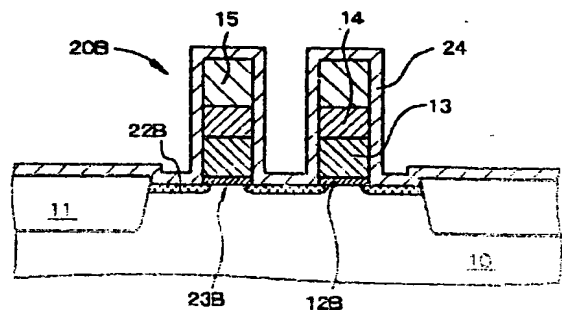
【圖 3 3】

【工程—60】 続き

(A) 論理回路の領域



(B) DRAMの領域



フロントページの続き

(51) Int. Cl. ⁷

H O 1 L 27/108
21/8242
29/43
29/78

識別記号

F I

H O 1 L 29/78

テーマコード* (参考)

3 0 1 G

(29)

F ターム(参考) 4M104 AA01 BB01 BB02 BB14 BB18
BB20 BB30 BB33 CC01 CC05
DD09 DD37 DD63 EE03 EE12
EE17 FF13 FF14 GG09 GG14
GG16 HH14
5F038 AC05 AC15 CD05 CD19 DF05
EZ01 EZ06 EZ20
5F040 DB03 DB09 DC01 EB03 EC02
EC07 EC12 EC13 ED01 ED05
ED09 EE05 EL06 FA05 FA07
FA10 FA12
5F048 AA07 AB01 AB03 AC03 AC10
BA16 BB00 BB06 BB07 BB08
BB09 BB10 BB11 BB13 BC18
BD04 BE03 BF06 BF11 BG12
BG13 DA25 DA27 DA30
5F083 AD63 AD70 GA02 GA06 HA02
HA07 JA06 JA32 JA35 JA39
JA53 KA05 MA06 MA19 ZA05
ZA08

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.